

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号  
特開2000-66240  
(P2000-66240A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0 2 H 0 9 2
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 9 4
H 0 1 L 29/786		H 0 1 L 29/78	6 1 7 V 5 F 1 1 0
21/336			6 1 9 A

審査請求 未請求 請求項の数41 書面 (全 30 頁)

(21) 出願番号 特願平10-283194

(22) 出願日 平成10年8月17日 (1998.8.17)

(71) 出願人 598003690

田中 栄

茨城県猿島郡五霞町原宿台1-5-5

(72) 発明者 田中 栄

茨城県猿島郡五霞町原宿台1丁目5番地5

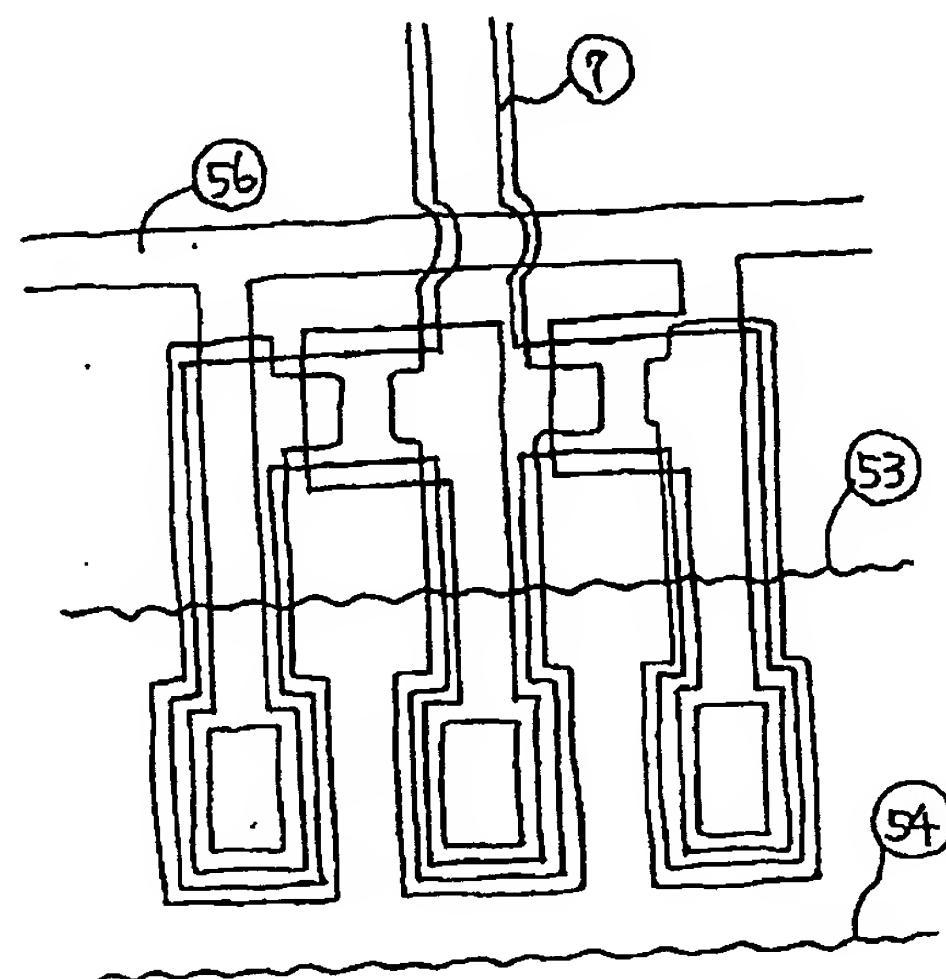
最終頁に続く

(54) 【発明の名称】 液晶表示装置とその製造方法

(57) 【要約】

【目的】 アクティブマトリックス型液晶表示装置で視野角特性が良好で、製造コストの安い、表示ムラの少ない高品質大画面画像を実現する。

【構成】 少なくとも一方が透明な対の基板と前記基板間にはさまれた液晶組成物層と、前記基板のいずれか一方の基板の向き合った表面にマトリックス状に配置された複数の走査線と映像信号配線、および共通電極と対をなす画素電極と、前記画素電極、前記走査線および前記映像信号配線に接続されたアクティブ素子を備えた液晶表示装置において、共通電極と走査線を連結している静電気対策用保護アクティブ素子の接続部分と、共通電極と映像信号配線を連結している静電気対策用保護アクティブ素子の接続部分が、局部的に堆積されたゲート絶縁膜の領域外にあり、その接続部分はパッシベーション膜により完全に被覆されていることを特徴とする。



## 【特許請求の範囲】

【請求項1】少なくとも一方が透明な一对の基板と、前記基板間に、はさまれた液晶組成物層と、前記基板のいずれか一方の基板の向き合った表面にマトリックス状に配置された複数の走査線と映像信号配線、および共通電極と対をなす画素電極と、前記画素電極、前記走査線および前記映像信号配線に接続されたアクティブ素子を備えた液晶表示装置において、前記アクティブ素子のゲート絶縁膜を基板上に堆積する時、有効画素領域を含む局部のみに部分的に堆積し、アクティブ素子の半導体層とパッシベーション保護膜層は、基板全面に堆積することを特徴とする製造方法。

【請求項2】少なくとも一方が透明な一对の基板と、前記基板間に、はさまれた液晶組成物層と、前記基板のいずれか一方の基板の向き合った表面にマトリックス状に配置された複数の走査線と映像信号配線、および共通電極と対をなす画素電極と、前記画素電極、前記走査線および前記映像信号配線に接続されたアクティブ素子を備えた液晶表示装置において、前記アクティブ素子のゲート絶縁膜と半導体層を基板上に堆積する時、有効画素領域を含む局部のみに部分的に堆積し、パッシベーション保護膜層は、基板全面に堆積することを特徴とする製造方法。

【請求項3】少なくとも一方が透明な一对の基板と、前記基板間に、はさまれた液晶組成物層と、前記基板のいずれか一方の基板の向き合った表面に、マトリックス状に配置された複数の走査線と映像信号配線、および共通電極と対をなす画素電極と、前記画素電極、前記走査線および前記映像信号配線に接続されたアクティブ素子を備えた液晶表示装置において、前記アクティブ素子のゲート絶縁膜とパッシベーション保護膜層を基板上に堆積する時、有効画素領域を含む局部のみに部分的に堆積し、前記アクティブ素子の半導体層は、基板全面に堆積することを特徴とする製造方法。

【請求項4】請求項3に記載のアクティブ素子を備えた液晶表示装置の製造方法において、有効画素領域を含む局部のみに部分的に堆積されたゲート絶縁膜よりもパッシベーション膜領域の方を広く堆積することを特徴とする製造方法。

【請求項5】少なくとも一方が透明な一对の基板と、前記基板間に、はさまれた液晶組成物層と、前記基板のいずれか一方の基板の向き合った表面にマトリックス状に配置された複数の走査線と映像信号配線、および共通電極と対をなす画素電極と、前記画素電極、前記走査線および前記映像信号配線に接続されたアクティブ素子を備えた液晶表示装置において、前記アクティブ素子のゲート絶縁膜と半導体層とパッシベーション保護膜層を基板上に堆積する時、有効画素領域を含む局部のみに部分的に堆積することを特徴とする製造方法。

【請求項6】請求項5に記載のアクティブ素子を備えた

液晶表示装置の製造方法において、有効画素領域を含む局部のみに部分的に堆積されたゲート絶縁膜よりも、パッシベーション膜領域の方を広く堆積することを特徴とする製造方法。

【請求項7】請求項1から6に記載の製造方法により作られた液晶表示装置において、前記共通電極と前記走査線を連結している静電気対策用保護アクティブ素子と、前記共通電極と前記映像信号配線を連結している静電気対策用保護アクティブ素子がパッシベーション膜層によって完全に被覆されていることを特徴とする液晶表示装置。

【請求項8】請求項1から6に記載の製造方法により作られた液晶表示装置において、前記共通電極と前記走査線を連結している静電気対策用保護アクティブ素子と、前記共通電極と前記映像信号配線を連結している静電気対策用保護アクティブ素子が局部的に堆積されたゲート絶縁膜の境界周辺の2辺以上に配置されていることを特徴とする液晶表示装置。

【請求項9】請求項1から6に記載の製造方法により作られた液晶表示装置において、前記共通電極と前記走査線を連結している静電気対策用保護アクティブ素子の接続部分と、前記共通電極と前記映像信号配線を連結している静電気対策用保護アクティブ素子の接続部分が、局部的に堆積されたゲート絶縁膜の領域外にあることを特徴とする液晶表示装置。

【請求項10】請求項1から9に記載の製造方法により作られた液晶表示装置において、2枚の基板をはりあわせて液晶セルを形成するシール領域が、局部的に堆積されたゲート絶縁膜の周辺境界上か、または、ゲート絶縁膜の領域外でなおかつパッシベーション膜堆積領域内に存在することを特徴とする液晶表示装置。

【請求項11】ホトマスクの透過光量を3段階以上に変化させ、ポジ型ホトレジスト現像後にホトレジスト膜厚を3段階以上に変化させることを特徴とする液晶表示装置の製造方法。

【請求項12】請求項11に関して、走査線やアクティブ素子の半導体領域や、映像信号配線、画素電極などの液晶表示素子を構成する各電極が、交差し、互いにかさなりあう部分の段差部分のホトマスクの透過光量を3段階以上に変化させ、ホトレジスト現像後にホトレジスト膜厚を3段階以上に変化させることを特徴とする液晶表示装置の製造方法。

【請求項13】請求項11において、映像信号配線と画素電極を連結する薄膜トランジスタ素子のチャネル部分のホトマスク透過光量を増加させ、ホトレジスト現像後に薄膜トランジスタ素子のチャネル部分のホトレジスト膜厚を薄くすることを特徴とする液晶表示装置の製造方法。

【請求項14】請求項3、4、5、6に関して請求項13に記載した映像信号配線と画素電極を連結する薄膜ト

ランジスタ素子のチャネル部分のホトマスク透過光量を増加させ、ホトレジスト現像後に薄膜トランジスタ素子のチャネル部分のホトレジスト膜厚を薄くする製造方法を用いることで、映像信号配線と画素電極を同時分離形成し、チャネル部の $n^+$ 層を除去する。この工程と走査線を形成するホトマスク工程をふくめ、全工程を2回のホトマスク工程で完了する横電界方式液晶表示装置の製造方法。

【請求項15】請求項1または2に関して、請求項13に記載した映像信号配線と画素電極を連結する薄膜トランジスタ素子のチャネル部分のホトマスク透過光量を増加させ、ホトレジスト現像後に薄膜トランジスタ素子のチャネル部分のホトレジスト膜厚を薄くする製造方法を用いて、映像信号配線と画素電極を同時に形成する。その後パッシベーションを基板全面に堆積してから駆動IC回路と接続するための端子部のコンタクトホールをあけることを特徴とする液晶表示装置の製造方法。

【請求項16】請求項15に関して、映像信号配線とドレイン電極を同時に形成し、その後パッシベーションを基板全面に形成してから、透明画素電極とドレイン電極とを連結するためのコンタクトホールと駆動IC回路と接続するための端子部のコンタクトホールを形成し、その後透明導電膜をたいせきし画素電極と端子部電極を形成することを特徴とする液晶表示装置の製造方法。

【請求項17】請求項3, 4, 5, 6に関して、映像信号配線と画素電極を形成するための金属膜を堆積した後映像信号配線と画素電極を同時に形成する。その後、薄膜トランジスタのチャネル部分の金属膜と $n^+$ 層を除去してから有効画素領域を含む局部のみに部分的にパッシベーション膜を堆積することを特徴とする液晶表示装置の製造方法。

【請求項18】請求項3, 4, 5, 6に関して、映像信号配線とドレイン電極を同時に形成した後、透明画素電極を堆積し映像信号配線と画素電極をパターンニングする時に、薄膜トランジスタ部のチャネル部分の金属膜と $n^+$ 層をとりぞく。その後パッシベーション膜を有効画素領域を含む局部のみに部分的に堆積する製造方法。

【請求項19】請求項2, 5, 6に関して、ゲート絶縁膜と半導体層を有効画素領域を含む、局部のみに部分的に堆積した後、映像信号配線と画素電極を同時に形成する。それから表面に露出した $n^+$ 層を除去した後パッシベーション膜を基板全面または、有効画素領域を含む局部のみに部分的に堆積する。その後薄膜トランジスタのチャネル部と映像信号配線ならびに画素電極を形成するために、余分なパッシベーション膜と半導体層を除去することを特徴とする液晶表示装置の製造方法。

【請求項20】請求項1, 3, 4に関して、ゲート絶縁膜を有効画素領域を含む、局部のみに部分的に堆積した後、半導体層を基板全面に堆積する。その後映像信号配線と画素電極を同時に形成した後、表面に露出した $n^+$

層を除去する。次にパッシベーション膜を基板全面または有効画素領域を含む局部のみに部分的に堆積する。その後薄膜トランジスタのチャネル部と映像信号配線ならびに画素電極を形成するために余分なパッシベーション膜と半導体層を除去することを特徴とする液晶表示装置の製造方法。

【請求項21】請求項19, 20に関して、映像信号配線とドレイン電極を同時に形成した後、表面に露出した $n^+$ 層を除去する。次にパッシベーション膜を基板全面または有効画素領域を含む局部のみに部分的に堆積する。その後薄膜トランジスタのチャネル部と映像信号配線ならびにドレイン電極を形成するために余分なパッシベーション膜と半導体層を除去してから、透明画素電極を形成することを特徴とする液晶表示装置の製造方法。

【請求項22】請求項5, 6に関して、ゲート絶縁膜と半導体層を有効画素領域を含む局部のみに堆積した後、薄膜トランジスタのチャネル部分をパターンニングする。その後映像信号配線と画素電極を同時に形成してから薄膜トランジスタのチャネル部分の $n^+$ 層を除去する。それからパッシベーション膜を有効画素領域を含む局部のみに堆積することを特徴とする液晶表示装置の製造方法。

【請求項23】請求項3, 4に関して、ゲート絶縁膜を有効画素領域を含む局部のみに、部分的に堆積した後、半導体層を基板全面に堆積する。その後薄膜トランジスタのチャネル部分をパターンニングしてから映像信号配線と画素電極を同時に形成する。それから薄膜トランジスタのチャネル部分の $n^+$ 層を除去してからパッシベーション膜を有効画素領域を含む局部のみに堆積することを特徴とする液晶表示装置の製造方法。

【請求項24】請求項1, 2に関してゲート絶縁膜を有効画素領域を含む局部のみに部分的に堆積した後、半導体層を基板全面または、有効画素領域を含む局部のみに部分的に堆積する。それから薄膜トランジスタのチャネル部分をパターンニングしてから映像信号配線と画素電極を同時に形成する。次に薄膜トランジスタのチャネル部分の $n^+$ 層を除去した後、パッシベーション膜を基板全面に堆積する。その後駆動用ICと接続するために端子部にコンタクトホールをあけることを特徴とする液晶表示装置の製造方法。

【請求項25】請求項5, 6に関して、ゲート絶縁膜と半導体層を有効画素領域を含む局部のみに部分的に堆積してから薄膜トランジスタのチャネル部分をパターンニングする。次に映像信号配線と画素電極を同時に形成した後、薄膜トランジスタのチャネル部分の $n^+$ 層を除去してからパッシベーション膜を有効画素領域を含む局部のみに部分的に堆積する。その後共通電極をパッシベーション膜の上に形成したことを特徴とする液晶表示装置の製造方法。

【請求項26】少なくとも一方が透明な一对の基板と、



前記基板間にはさまれた液晶組成物層と、前記基板のいずれか一方の基板の向き合った表面に、マトリックス状に配置された複数の走査線と映像信号配線、および共通電極と対をなす画素電極と、前記画素電極、前記走査線および映像信号配線に接続されたアクティブ素子を備えた液晶表示装置において、前記アクティブ素子のゲート絶縁膜を有効画素領域を含む局部のみに部分的に堆積した後半導体層とエッチングストッパー層は、基板全面か、または有効画素領域を含む局部のみに部分的に堆積し、オーミックコンタクトをとるための $n^+$ 層は、イオン注入する場合、有効画素領域を含む局部のみに部分的に注入する。 $n^+$ 層をプラズマCVD法で堆積する場合には、基板全面または有効画素領域を含む局部のみに部分的に堆積することを特徴とする製造方法。

【請求項 27】請求項 26 において、映像信号配線と画素電極を同時にパターンニングした後、表面に露出している $n^+$ 層と、 $n^+$ 層の下にある半導体層の両方を除去することで薄膜トランジスタ素子のチャネル部分と、映像信号配線と画素電極を独立同時分離形成することを特徴とする液晶表示装置の製造方法。

【請求項 28】請求項 26、27 において、映像信号配線と画素電極を同時に形成した後パッシベーションを基板全面または、有効画素領域を含む局部のみに部分的に堆積する。次に駆動回路 IC と接続するために、接続端子部上の余分なパッシベーション膜と $n^+$ 層と半導体層を除去することを特徴とする液晶表示装置の製造方法。

【請求項 29】少なくとも一方が透明な一対の基板と、前記基板間に、はさまれた液晶組成物層と、前記基板のいずれか一方の基板の向き合った表面にマトリックス状に配置された複数の走査線と映像信号配線、および共通電極と対をなす画素電極と前記画素電極、前記走査線および前記映像信号配線に接続されたアクティブ素子を備えた液晶表示装置において、表示 1 画素につき、薄膜トランジスタのゲート電極が並列に 2 本以上配置されており、薄膜トランジスタのチャネル領域が 2 個以上並列に形成され 2 個以上のそれぞれのドレイン電極はひとつの画素電極と連結されていることを特徴とする液晶表示装置。

【請求項 30】請求項 1 から 6、11 から 28 の製造方法によって作られる横電界方式液晶表示装置。

【請求項 31】請求項 16 と 21 の製造方法によって作られるツイストネマティック液晶表示装置または、強誘電液晶表示装置または、垂直配向の液晶表示装置。

【請求項 32】請求項 1 から 6、11 から 28 において走査線をアルミニウム（またはアルミニウムの合金）とチタン（またはチタン合金）との 2 層構造、または、アルミニウム（またはアルミニウムの合金）とチタン（またはチタン合金）とモリブデン（またはモリブデン合金）の 3 層構造、または、アルミニウム（またはアルミニウム合金）とクロム（またはクロム合金）とモリブデ

ン（またはモリブデン合金）の 3 層構造で作り、画素電極と対向する共通電極はチタン（またはチタン合金）の単層構造、またはチタン（またはチタン合金）とモリブデン（またはモリブデン合金）の 2 層構造、または、クロム（またはクロム合金）とモリブデン（またはモリブデン合金）の 2 層構造が用いられていることを特徴とする液晶表示装置。

【請求項 33】請求項 1 から 6、11 から 28 において、走査線をチタン（またはチタン合金）と銅（または銅合金）とチタン（またはチタン合金）の 3 層構造、またはクロム（またはクロム合金）と銅（または銅合金）とモリブデン（またはモリブデン合金）の 3 層構造、またはチタン（またはチタン合金）と銅（または銅合金）とモリブデン（またはモリブデン合金）の 3 層構造で作り、画素電極と対向する共通電極は、チタン（またはチタン合金）の単層構造、または、チタン（またはチタン合金）とモリブデン（またはモリブデン合金）の 2 層構造、または、クロム（またはクロム合金）とモリブデン（またはモリブデン合金）の 2 層構造が用いられていることを特徴とする液晶表示装置。

【請求項 34】請求項 1 から 28 において、映像信号配線にチタン（またはチタン合金）とアルミニウム（またはアルミニウム合金）の 2 層構造、またはチタン（またはチタン合金）とモリブデン（またはモリブデン合金）の 2 層構造、またはクロム（またはクロム合金）とモリブデン（またはモリブデン合金）の 2 層構造が用いられていることを特徴とする液晶表示装置。

【請求項 35】請求項 1 から 28 において、映像信号配線に、チタン（またはチタン合金）とアルミニウム（またはアルミニウム合金）とチタン（またはチタン合金）の 3 層構造、または、チタン（またはチタン合金）とアルミニウム（またはアルミニウム合金）とモリブデン（またはモリブデン合金）の 3 層構造、または、チタン（またはチタン合金）とアルミニウム（またはアルミニウム合金）とクロム（またはクロム合金）の 3 層構造、または、チタン（またはチタン合金）とモリブデン（またはモリブデン合金）とチタン（またはチタン合金）の 3 層構造、またはチタン（またはチタン合金）とクロム（またはクロム合金）とモリブデン（またはモリブデン合金）の 3 層構造を用いることを特徴とする液晶表示装置。

【請求項 36】請求項 1 から 9 に記載の製造方法により作られる液晶表示装置においてゲート絶縁膜を堆積する領域が、有効画素領域と映像信号配線の端子部領域と静電気対策用保護アクティブ素子領域に局部的に限定されていることを特徴とする液晶表示装置。

【請求項 37】請求項 1 から 9 に記載の製造方法により作られる液晶表示装置においてゲート絶縁膜の堆積境界から走査線端子部末端までの距離と、ゲート絶縁膜の堆積境界から静電気対策用保護アクティブ素子の接合端子

部末端までの距離がそれぞれ 2 mm 以上存在することを特徴とする液晶表示装置。

【請求項 38】請求項 1 から 6 に記載の製造方法により作られる液晶表示装置において、走査線と交差している共通電極と、映像信号配線と交差している共通電極とを接続する部分が局部的に堆積されたゲート絶縁膜の領域外にあることを特徴とする液晶表示装置。

【請求項 39】請求項 1 から 28 において、映像信号配線にチタンシリサイドとアルミニウム（またはアルミニウム合金）の 2 層構造、またはモリブデンシリサイドとアルミニウム（またはアルミニウム合金）の 2 層構造、またはクロムシリサイドとアルミニウム（またはアルミニウム合金）の 2 層構造、または、チタンシリサイドとモリブデン（またはモリブデン合金）の 2 層構造、または、モリブデンシリサイドとモリブデン（またはモリブデン合金）の 2 層構造、またはクロムシリサイドとモリブデン（またはモリブデン合金）の 2 層構造が用いられていることを特徴とする液晶表示装置。

【請求項 40】少なくとも一方が透明な一対の基板と、前記基板間に、はさまれた液晶組成物層と、前記基板のいずれか一方の基板の向き合った表面にマトリクス状に配置された複数の走査線と映像信号配線、および共通電極と対をなす画素電極と、前記画素電極、前記走査線および前記映像信号配線に接続されたアクティブ素子を備えた液晶表示装置において前記走査線の膜厚よりも、液晶駆動電極と対をなす画素共通電極の膜厚が薄いことを特徴とする液晶表示装置。

【請求項 41】横電界方式アクティブマトリクス液晶表示装置において、映像信号配線の膜厚よりも、液晶駆動電極と対をなす画素共通電極の膜厚が薄いことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、低コストで広視野角・高画質の大画面アクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】従来のアクティブマトリクス型液晶表示装置では、アクティブ素子を形成する一方の基板の周辺をのぞく基板全面にゲート絶縁膜や半導体膜ならびにパッシベーション膜を堆積していた。走査線を一番はじめに形成するプロセスでは、駆動 IC 回路と接続するために走査線端子部の上に堆積されたゲート絶縁膜を除去する工程が必要であった。（図 1 と図 2 が従来の液晶表示装置のアクティブ素子基板の断面である。）静電気対策用保護トランジスタの配線間の接合にもゲート絶縁膜の除去が必要であった。

【0003】

【発明が解決しようとする課題】図 1、図 2 にあるように従来の TN モードのアクティブ素子基板では全工程で

ホトマスク工程が 5 回必要である。横電界液晶モードのアクティブ素子基板では全工程でホトマスク工程が 4 回以上必要であった。液晶表示画面が大型化するにつれ、ガラス基板 1 枚から取れる液晶表示素子の数も少なくなってくるので大型液晶表示素子の価格は非常に高いものになっていた。さらにガラス基板が大型になると発生する静電気の量も非常に大容量となりゴミの付着や静電気破壊が多発し大型液晶表示素子の歩留りを低いものにして

10 【0004】ホトマスク工程が多い場合高価な露光装置の台数も多く必要となり初期投資の金額も大きくなる。製造工場のクリーンルームの面積も大きくなるので、ランニングコストも高くなる。ガラス基板を投入してからアクティブ素子基板が完成するまでの時間を可能な限り短縮しないと、保管のためのストッカーが大量に必要となる。

20 【0005】ガラス基板が大型になってくると、プラズマ CVD でシリコン窒化膜、アモルファスシリコン半導体膜を堆積した場合、膨張係数がガラス基板と異なるために堆積後、応力が発生し、基板全体が歪曲する問題が生じる。ガラス基板の中央部分とガラス基板の周辺部での応力発生率が異なるために寸法変化が有効画素領域全域に均一に生じない。そのためにホトマスク間のミスマライメントが生じるという問題があった。

30 【0006】本発明は、これらの課題を解決する手段を提供するもので、その目的とするところは、大型液晶表示装置の製造工場の投資効率を高め、超大型・超広視野角液晶表示装置を安価に、歩留り良く製造できる方法を提供することにある。

40 【0007】

【課題を解決するための手段】前記課題を解決し、上記目的を達成するために本発明では以下の手段を用いる。

50 【0008】基板上に走査線と映像信号配線と、前記走査線と前記映像信号配線との各交差部に形成された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極と、少なくとも一部が前記画素電極と対向して形成された共通電極とを有するアクティブマトリクス基板と、前記アクティブマトリクス基板に対向する対向基板と、前記アクティブマトリクス基板と前記対向基板に挟持された液晶層とからなる液晶表示装置の製造方法において、

【手段 1】前記薄膜トランジスタ素子のゲート絶縁膜を基板上に堆積する時、有効画素領域を含む局部のみに部分的に堆積し、薄膜トランジスタ素子の半導体層とパッシベーション保護膜は基板全面に堆積する。

60 【0009】【手段 2】前記薄膜トランジスタ素子のゲート絶縁膜と半導体層を基板上に堆積する時、有効画素領域を含む局部のみに部分的に堆積し、パッシベーション保護膜層は、基板全面に堆積する。

【0010】〔手段3〕前記薄膜トランジスタ素子のゲート絶縁膜とパッシベーション保護膜層を基板上に堆積する時、有効画素領域を含む局部のみに部分的に堆積し半導体層は基板全面に堆積する。

【0011】〔手段4〕手段3に記載した製造方法において、有効画素領域を含む局部のみに部分的に堆積されたゲート絶縁膜よりもパッシベーション膜領域の方を広く堆積した。

【0012】〔手段5〕前記薄膜トランジスタ素子のゲート絶縁膜と半導体層とパッシベーション保護膜層を基板上に堆積する時、有効画素領域を含む局部のみに部分的に堆積する。

【0013】〔手段6〕手段5に記載した製造方法において、有効画素領域を含む局部のみに部分的に堆積されたゲート絶縁膜よりもパッシベーション膜領域の方を広く堆積した。

【0014】〔手段7〕手段1から6に記載した製造方法により作られた液晶表示装置において、前記共通電極と前記走査線を連結している静電気対策用保護トランジスタ素子と、前記共通電極と前記映像信号配線を連結している静電気対策用保護トランジスタ素子とを、パッシベーション膜層によって完全に被覆した。

【0015】〔手段8〕手段1から6に記載した製造方法により作られた液晶表示装置において、前記共通電極と前記走査線を連結している静電気対策用保護トランジスタ素子と、前記共通電極と前記映像信号配線を連結している静電気対策用保護トランジスタ素子とを、局部的に堆積されたゲート絶縁膜の境界周辺の2辺以上に配置した。

【0016】〔手段9〕手段1から6に記載した製造方法により作られた液晶表示装置において、前記共通電極と前記走査線を連結している静電気対策用保護トランジスタ素子の接続部分と、前記共通電極と前記映像信号配線を連結している静電気対策用保護トランジスタ素子の接続部分とを、局部的に堆積されたゲート絶縁膜の領域外に配置した。

【0017】〔手段10〕手段1から9に記載した製造方法により作られた液晶表示装置において、2枚の基板をはり合わせて液晶セルを形成するシール領域を、局部的に堆積されたゲート絶縁膜の周辺境界上か、または、ゲート絶縁膜の堆積領域外でおかつパッシベーションの堆積領域内に配置した。

【0018】〔手段11〕ホトマスクの透過光量を完全透過、半透過、完全遮断の3段階以上に変化させることで、ポジ型ホトレジストの膜厚を3段階以上に変化させる。

【0019】〔手段12〕手段11に記載した製造方法により、走査線や、アクティブ素子の半導体領域や、映像信号配線、画素電極などの液晶表示素子を構成する各電極が交差し、互いにかさなりあう部分の段差部分のホ

トマスクの透過光量を3段階以上に変化させ、ポジ型ホトレジストの現像後ホトレジストの膜厚を3段階以上に変化させる。

【0020】〔手段13〕手段11に記載した方法により、映像信号配線と画素電極を連結する薄膜トランジスタ素子のチャネル部分のホトマスク透過光量を増加させ、ポジ型ホトレジスト現像後に、薄膜トランジスタ素子のチャネル部分のポジ型ホトレジスト膜厚を薄くした。

10 【0021】〔手段14〕手段3、4、5、6、13に記載した方法を用いて映像信号配線と画素電極を同時分離形成し、チャネル部の $n^+$ 層を除去する。この工程と走査線を形成するホトマスク工程をふくめ、全工程を2回のホトマスク工程で完了させる。

20 【0022】〔手段15〕手段1、2、13に記載した方法を用いて、映像信号配線と画素電極を同時分離形成し、チャネル部の $n^+$ 層を除去してから、パッシベーション保護膜を基板全面に堆積する。その後に、駆動IC回路と接続するための端子部のコンタクトホールをあける。

【0023】〔手段16〕手段15に記載した方法を用いて、映像信号配線とドレイン電極を同時分離形成し、チャネル部分の $n^+$ 層を除去してから、パッシベーション保護膜を基板全面に堆積する。その後に、駆動IC回路と接続するための端子部のコンタクトホールと、透明画素電極とドレイン電極とを接続するためのコンタクトホールを同時に形成する。それから透明導電膜を堆積し透明画素電極と端子部電極を形成する。

30 【0024】〔手段17〕手段3、4、5、6に記載した方法を用いて、映像信号配線と画素電極を同時に形成した後、薄膜トランジスタ素子のチャネル部分の金属膜と $n^+$ 層を除去する。それから有効画素領域を含む局部のみに部分的にパッシベーション保護膜を堆積する。

40 【0025】〔手段18〕手段3、4、5、6に記載した方法を用いて、映像信号配線とドレイン電極を同時に形成した後、透明導電膜を堆積し、映像信号配線と画素電極をパターンニングする時に薄膜トランジスタ部のチャネル部分の金属膜と $n^+$ 層をとりのぞく。その後、パッシベーション保護膜を有効画素領域を含む局部のみに部分的に堆積する。

【0026】〔手段19〕手段2、5、6に記載した方法を用いて、ゲート絶縁膜と半導体層を有効画素領域を含む局部のみに部分的に堆積した後、映像信号配線と画素電極を同時に形成する。その後、表面に露出した $n^+$ 層を除去した後、パッシベーション膜を基板全面または有効画素領域を含む局部のみに部分的に堆積する。それから薄膜トランジスタ素子のチャネル部と映像信号配線ならびに画素電極を形成するために余分なパッシベーション膜と半導体層を除去する。

50 【0027】〔手段20〕手段1、3、4に記載した方



法を用いて、ゲート絶縁膜を有効画素領域を含む局部のみに部分的に堆積した後、半導体層を基板全面に堆積する。その後映像信号配線と画素電極を同時に形成してから表面に露出した $n^+$ 層を除去する。次にパッシベーション膜を基板全面または有効画素領域を含む局部のみに部分的に堆積する。それから薄膜トランジスタ素子のチャンネル部と映像信号配線ならびに画素電極を形成するために余分なパッシベーション膜と半導体層を除去する。

【0028】〔手段21〕手段19, 20に記載した方法を用いて、映像信号配線とドレイン電極を同時に形成した後、表面に露出した $n^+$ 層を除去する。次にパッシベーション膜を基板全面または有効画素領域を含む局部のみに部分的に堆積する。その後薄膜トランジスタ素子のチャンネル部と映像信号配線ならびにドレイン電極を形成するために余分なパッシベーション膜と半導体層を除去してから透明画素電極を形成する。

【0029】〔手段22〕手段5, 6に記載した方法を用いて、ゲート絶縁膜と半導体層を有効画素領域を含む局部のみに部分的に堆積した後薄膜トランジスタ素子のチャンネル部分をパターンニングする。その後映像信号配線と画素電極を同時に形成してから、薄膜トランジスタ素子のチャンネル部分の $n^+$ 層を除去する。それからパッシベーション膜を有効画素領域を含む局部のみに部分的に堆積する。

【0030】〔手段23〕手段3, 4に記載した方法を用いて、ゲート絶縁膜を有効画素領域を含む局部のみに部分的に堆積した後、半導体層を基板全面に堆積する。その後薄膜トランジスタ素子のチャンネル部分をパターンニングしてから映像信号配線と画素電極を同時に形成する。それから薄膜トランジスタのチャンネル部分の $n^+$ 層を除去してからパッシベーション膜を有効画素領域を含む局部のみに堆積する。

【0031】〔手段24〕手段1, 2に記載した方法を用いて、ゲート絶縁膜を有効画素領域を含む局部のみに部分的に堆積した後半導体層を基板全面または有効画素領域を含む局部のみに部分的に堆積する。それから薄膜トランジスタのチャンネル部分をパターンニングしてから映像信号配線と画素電極を同時に形成した後薄膜トランジスタのチャンネル部分の $n^+$ 層を除去する。次にパッシベーション膜を基板全面に堆積してから駆動用ICと接続するために端子部にコンタクトホールをあける。

【0032】〔手段25〕手段5, 6に記載した方法を用いて、ゲート絶縁膜と半導体層を有効画素領域を含む局部のみに部分的に堆積してから薄膜トランジスタのチャンネル部分をパターンニングする。次に映像信号配線と画素電極を同時に形成した後、薄膜トランジスタのチャンネル部分の $n^+$ 層を除去してからパッシベーション膜を有効画素領域を含む局部のみに部分的に堆積する。その後共通電極をパッシベーション膜の上に形成する。

【0033】〔手段26〕ゲート絶縁膜を有効画素領域

を含む局部のみに部分的に堆積した後半導体層とエッチングストッパー層は基板全面か、または有効画素領域を含む局部のみに部分的に堆積し、オーミックコンタクトをとるための $n^+$ 層は、イオン注入する場合、有効画素領域を含む局部のみに部分的に注入する。 $n^+$ 層をプラズマCVD法で堆積する場合には、基板全面または、有効画素領域を含む局部のみに部分的に堆積する。

【0034】〔手段27〕手段26に記載した方法を用いて、映像信号配線と画素電極を同時にパターンニングした後、表面に露出している $n^+$ 層と、 $n^+$ 層の下にある半導体層の両方を除去することで薄膜トランジスタ素子のチャンネル部分と映像信号配線と画素電極を独立同時分離形成する。

【0035】〔手段28〕手段26, 27に記載した方法を用いて、映像信号配線と画素電極を同時に形成した後、パッシベーションを基板全面または有効画素領域を含む局部のみに部分的に堆積する。次に、駆動回路ICと接続するために、接続端子部上の余分なパッシベーション膜と $n^+$ 層と半導体層を除去する。

【0036】〔手段29〕表示1画素につき、薄膜トランジスタのゲート電極を平行に2本以上配置し、薄膜トランジスタのチャンネル領域が2個以上平行に形成され、2個以上のそれぞれのチャンネルに付属しているドレイン電極はそれぞれ連結され画素電極に接合させた。

【0037】〔手段30〕手段1から6, 手段11から28の方法によって作られる液晶表示パネルの方式に横電界方式を用いる。

【0038】〔手段31〕手段16と21の方法によって作られる液晶表示パネルの方式にツイストネマティック液晶方式または、強誘電液晶方式または反強誘電液晶方式または垂直配向液晶方式を用いる。

【0039】〔手段32〕手段1から6, 手段11から28の方法によって作られる液晶表示素子の走査線をアルミニウム（またはアルミニウムの合金）とチタン（またはチタン合金）との2層構造、または、アルミニウム（またはアルミニウムの合金）とチタン（またはチタン合金）とモリブデン（またはモリブデン合金）の3層構造、または、アルミニウム（またはアルミニウム合金）とクロム（またはクロム合金）とモリブデン（またはモリブデン合金）の3層構造で作り、画素電極と対向する共通電極は、チタン（またはチタン合金）の単層構造または、チタン（またはチタン合金）とモリブデン（またはモリブデン合金）の2層構造、またはクロム（またはクロム合金）とモリブデン（またはモリブデン合金）の2層構造とした。

【0040】〔手段33〕手段1から6, 手段11から28の方法によって作られる液晶表示素子の走査線をチタン（またはチタン合金）と銅（または銅合金）とチタン（またはチタン合金）の3層構造、またはクロム（またはクロム合金）と銅（または銅合金）とモリブデン

(またはモリブデン合金)の3層構造で作り、画素電極と対向する共通電極はチタン(またはチタン合金)の単層構造、またはチタン(または、チタン合金)とモリブデン(またはモリブデン合金)の2層構造、またはクロム(またはクロム合金)とモリブデン(またはモリブデン合金)の2層構造とした。

【0041】〔手段34〕手段1から28の方法によって作られる液晶表示装置の映像信号配線にチタン(またはチタン合金)とアルミニウム(またはアルミニウム合金)の2層構造、またはチタン(またはチタン合金)とモリブデン(またはモリブデン合金)の2層構造、またはクロム(またはクロム合金)とモリブデン(またはモリブデン合金)の2層構造を用いた。

【0042】〔手段35〕手段1から28の方法によって作られる液晶表示装置の映像信号配線にチタン(またはチタン合金)とアルミニウム(またはアルミニウム合金)とチタン(またはチタン合金)の3層構造、または、チタン(またはチタン合金)とアルミニウム(またはアルミニウム合金)とモリブデン(またはモリブデン合金)の3層構造、またはチタン(またはチタン合金)とアルミニウム(またはアルミニウム合金)とクロム(またはクロム合金)の3層構造、または、チタン(またはチタン合金)とモリブデン(またはモリブデン合金)とチタン(またはチタン合金)の3層構造、またはチタン(またはチタン合金)とクロム(またはクロム合金)とモリブデン(またはモリブデン合金)の3層構造を用いた。

【0043】〔手段36〕手段1から9に記載の方法によって作られる液晶表示装置においてゲート絶縁膜を堆積する領域を、有効画素領域と映像信号配線の端子部領域と、静電気対策用保護アクティブ素子領域に局部的に限定した。

【0044】〔手段37〕手段1から9に記載の方法によって作られる液晶表示装置においてゲート絶縁膜の堆積境界から走査線端子部末端までの距離と、ゲート絶縁膜の堆積境界から静電気対策用保護アクティブ素子の接合端子部末端までの距離がそれぞれ2mm以上存在するようにした。

【0045】〔手段38〕手段1から6に記載の方法によって作られる液晶表示装置において走査線と交差している共通電極と、映像信号配線と交差している共通電極とを接続する部分を、局部的に堆積されたゲート絶縁膜の領域外に設置した。

【0046】〔手段39〕手段1から28に記載の方法によって作られる液晶表示パネルの映像信号配線にチタンシリサイドとアルミニウム(またはアルミニウム合金)の2層構造、またはモリブデンシリサイドとアルミニウム(またはアルミニウム合金)の2層構造、またはクロムシリサイドとアルミニウム(またはアルミニウム合金)の2層構造、または、チタンシリサイドとモリブ

デン(またはモリブデン合金)の2層構造、またはクロムシリサイドとモリブデン(またはモリブデン合金)の2層構造を用いる。

【0047】

【作用】従来のツイストネマティック液晶モード用の薄膜トランジスタ素子基板の断面図は図1のとうりである。ゲート絶縁膜と半導体膜とパッシベーション膜の三層をガラス基板全面に堆積する製造方法でプロセスに無理がなく最少のホトマスク工程数を実現している。しかしホトマスク工程は全工程で5回必要となりこれ以上のコストダウンは不可能の状態である。横電界方式液晶モード用の薄膜トランジスタ素子基板の断面図は図2のとうりである。この場合も図1と同様にゲート絶縁膜と半導体膜とパッシベーション膜の三層は、ガラス基板全面に堆積する製造方法を用いている。横電界方式では図1で用いていた▲14▼画素電極(透明電極)は必要ないのでホトマスク工程を1回へらして全工程で4回のホトマスク工程で完成する。しかしこの場合走査線と共通電極を連結することが不可能となる。同様に映像信号配線と共通電極の連結も不可能となる。そのために走査線端子部や映像信号配線端子部にコンタクトホールをあけた後接合電極▲13▼を形成し静電気対策用保護トランジスタを設置するには5回のホトマスク工程が必要となる。つまりどの液晶モードを採用しても歩留りをおとさず安定した生産をおこなうためには、従来のプロセスを採用してはコストダウンに限界がある。

【0048】手段1から9を用いることで、端子部のコンタクトホールをあける工程が必要なくなり大幅な工程の短縮化が実現できる。しかも工程の短縮化を実施しても従来と同様に静電気対策用保護トランジスタを基板上に形成できるので歩留りを低下させることもない。堆積膜厚の厚いゲート絶縁膜を必要最低限の面積に堆積することでガラス基板におよぼす応力を減少することができるのでパターンの変形も小さくなる。そのためにホトマスク間のミスアライメント量も減少するので、ミスアライメントが原因で生じる表示ムラが大幅に減少する。同様に対向基板であるカラーフィルター基板と薄膜トランジスタ基板との合着ミスアライメント量も減少するので、液晶セル工程での歩留りも大幅に向上する。

【0049】手段10を用いることでシール領域のセルギャップを均一化しやすくなるので液晶セル工程でのセルギャップ不良を低減できる。

【0050】手段3から9までと、手段11から14までを用いることで、薄膜トランジスタ素子基板に静電気対策用保護トランジスタを形成でき、全工程をわずかホトマスク2回の工程で実現できる。この工程により従来よりも大幅に工程短縮が可能になり、大幅なコストダウンと生産性効率向上が実現できる。生産工場のクリーンルーム面積も縮小化できるし、高価な洗浄機とレジストコーターと現像装置と露光装置も従来の半分以下です



むので、初期の投資コストも大幅に縮小できる。さらに保管用のクリーンストッカーなども必要なくなるので、大型基板へのゴミ付着も減少し歩留りも向上する。洗浄工程も激減するので純水の使用量も減少しランニングコストも大幅に減少する。安価な印刷カラーフィルターと組み合わせることで単純マトリックス液晶パネル（STNモード）よりも生産コストの安いアクティブマトリックス液晶パネル（横電界液晶モード）を実現できる。これにより家庭のTVもブラウン管（CRT）からアクティブマトリックス液晶パネルにおきかわることが可能となってくる。

【0051】 手段15を用いることでよりコンパクトな液晶パネルを作ることが可能となる。

【0052】 手段16、21を用いて従来のツイストネマティック液晶モードの液晶パネルをホトマスク4回の工程で作ることが可能となる。わずかがコストダウンをはかることができる。

【0053】 手段17、18により、ゲート電極と画素電極（ドレイン電極）とがかさなり合う面積を精度よくコントロールできるようになるので、表示ムラが激減し歩留りが向上する。

【0054】 手段19、20、21により、薄膜トランジスタ素子基板に、静電気対策用保護トランジスタを形成でき、全工程をホトマスク工程3回で終了できる。大幅なコストダウンと大幅な生産性効率向上が実現できる。さらにこの工程ではパッシベーション膜は、有効画面全域を被覆しておらずガラス基板に対して大きな応力を与えることがない。そのためガラス基板寸法変化が最も少ないプロセスであり、液晶表示画面が超大型化した時に液晶セル工程で、カラーフィルター基板と薄膜アクティブマトリックス基板を合着する時に発生する合着アライメント誤差を最少化できる。この工程ではゲート電極と画素電極（ドレイン電極）のホトマスクアライメント誤差も従来のものとかかわらずプロセスの安定性も非常に高いので表示ムラの発生も少なく高い歩留りを実現できる。

【0055】 手段22、23、24、25を用いることで薄膜トランジスタ素子基板に静電気対策用保護トランジスタを形成でき、全工程をホトマスク工程3回から4回で終了できる。この工程では共通電極を最後に形成することもできプロセスの自由度が非常に大きい。パターン形成後の段差のギャップが一番小さくできるプロセスなので配線の断線が発生しにくく、さらに液晶セル工程での配向膜形成後のラビング処理が非常にやりやすいため、最も歩留りを高くすることが可能である。

【0056】 手段26、27、28を用いることで薄膜トランジスタ素子基板に静電気対策用保護トランジスタを形成でき、全工程をホトマスク工程3回から4回で終了できる。この工程では薄膜半導体層を500Å程度に非常に薄く形成でき、 $n^+$ 層はチャネル部分に残らな

いのでドライエッチング時の基板全面の均一性の要求度がゆるくなる。エキシマレーザーと組み合わせてpoly-si薄膜トランジスタプロセスへの変更もたやすく可能である。裏面露光技術を用いることでセルフアライン技術の適用も可能であり超大型液晶画面を実現できる。

【0057】 手段29を用いることで超大型画面の場合、基板寸法変化によりミスアライメントが局部的に発生しても、ドレイン電極とゲート電極とが形成する容量には変化が生じないので、表示画面にムラが発生しない。

【0058】 手段32から35を用いることで、走査線の抵抗を大幅に下げることができしかも共通電極の抵抗も大幅に低下させることができる。さらに画素内部の液晶駆動電極と、液晶駆動電極と対向している画素共通電極との電極膜厚を薄くできるために、液晶セル工程のラビング処理が非常にやりやすくなる。このためにラビング処理密度と均一性を非常に高めることができるので信頼性と再現性の良いムラの無い画質を得ることができる。

【0059】 手段34、35、39を用いることで、ゲート絶縁膜の堆積領域の境界部での膜はがれを防止できる。特にチタンや高融点金属のシリサイド化合物は、ガラス基板やプラズマCVD膜（シリコン酸化膜、シリコン窒化膜）との接着力が非常に強く膜はがれが生じない。本発明において特にこの堆積領域の境界部での電極パターン形成後の膜はがれが一番大きな問題になり、利用できる金属の種類が限定されてくる。映像信号配線にアルミニウムやアルミニウム合金を用いることでも膜はがれが生じないが $n^+$ 層との直接接合ができないため、アルミニウムと $n^+$ 層のあいだに高融点金属層や、高融点金属シリサイド化合物層が必要となってくる。

【0060】 手段36によりゲート絶縁膜の堆積範囲が映像信号配線端子や静電気対策用保護アクティブ素子の領域まで拡大することで映像信号配線端子部とゲート絶縁膜の堆積領域境界での交差部がなくなるので電極はがれの不良が激減する。これにより大幅に歩留りが向上する。

【0061】 手段37によりガラス基板の寸法加工精度とゲート絶縁膜の局部的部分への堆積位置の精度の誤差は十分に保証できる。P-CVD装置でのゲート絶縁膜堆積温度が300℃付近なので装置の治工具の変形や熱膨張係数の差を考えると、この値は従来な値である。この値よりも小さくなると、走査線端子部全面にゲート絶縁膜が堆積したり、TABとの有効接合面積が小さくなったりするのでコンタクト不良が多発し、画像の横スジムラが発生する。手段37を用いればコンタクト不良は発生しなくなり横スジムラもなくなる。

【0062】

【実施例】（実施例1）図3、図50、図51、図5

2, 図53, 図54, 図55は、本発明の第1の実施例の断面図と平面図である。走査線（ゲート電極）をパターンニング後、ゲート絶縁膜④とアモルファスシリコン半導体膜⑤とn<sup>+</sup>アモルファスシリコン膜⑥を局所的に部分堆積している。堆積後、走査線の端子部③は、金属電極が露出している。それから映像信号配線⑦と液晶駆動電極▲17▼と走査線端子部接合金属電極▲19▼を同時に形成するために金属膜をスパッタリング方式で堆積する。手段11と手段13で記載した方法図30を用いて1回のホトマスク工程だけで薄膜トランジスタ素子のチャネル部を形成し、チャネル部の余分な金属膜とn<sup>+</sup>層を除去している。このプロセスで使用するホトマスクは図27や図28にあるように透過光量が3段階以上に変化している。ホトマスクのトランジスタ素子のチャネル部の断面図が図25と図26である。このホトマスクを利用してポジレジストを露光現像したものの断面図が図29である。薄膜半導体で使用する露光装置の解像力は最高2〜3μm程度なので図25, 図27のようなタイプのホトマスクを作る場合解像力の1/10から1/5程度のパターンを用いて平均透過光量を調整する。線幅0.2〜0.5μm程度でスペース幅0.5〜1μm程度で半透過光量領域▲23▼を形成する。図26, 図28のようなタイプのホトマスクを作る場合、半透過光量領域▲24▼の膜としてシリコン窒化膜を利用することができる。シリコンと窒素の成分比率を変化させることで自由にUV光の透過量を調整できる。図29にあるように未露光部のポジレジスト膜厚▲30▼は1.2〜2.0μm程度であり、半透過光量領域の露光領域のポジレジスト膜厚▲31▼は0.05〜0.2μm付近を使用する。n<sup>+</sup>層上の金属層はウェットエッチングで加工して必要な部分に金属層を残す。次に希フッ硝酸でn<sup>+</sup>層とノンドープ半導体層をウェットエッチングしても良いし、ドライエッチングでn<sup>+</sup>層とノンドープ半導体層を除去しても良い。それから薄膜トランジスタのチャネル部分の半透過光量領域▲24▼の薄く残ったポジレジストをプラズマ・アッシング処理により除去する。チャネル部の金属層とn<sup>+</sup>層を前と同じウェットエッチングとドライエッチングにより除去する。最後にパッシベーション膜を局所的に部分堆積してアクティブ素子基板が完成する。ホトマスクプロセスは、全工程で2回だけである。

【0063】〔実施例2〕図6は、本発明の第2の実施例の断面図である。実施例1の最後のパッシベーション膜を基板全体に堆積した後、走査線端子部のコンタクトホールをあける製造方法を採用している。ホトマスクプロセスは全工程で3回だけである。

【0064】〔実施例3〕図4は本発明の第3の実施例の断面図である。実施例1では、走査線②と共通電極▲18▼を同一金属材料を用いて、1回のホトマスク工程で同時に形成していたが、実施例3では、共通電極を一

番始めに形成してから走査線下地絶縁膜▲20▼を局部的に堆積している。ホトマスクプロセスは全工程で3回となる。共通電極▲18▼と走査線②のパターン不良によるショートが激減するので大幅に歩留りが向上する。

【0065】〔実施例4〕図5は、本発明の第4の実施例の断面図である。実施例3と同様に走査線②と共通電極▲18▼を同時形成せずに、一番はじめに走査線②を形成してからプロセスの一番最後に共通電極▲18▼を形成している。ホトマスクプロセスは全工程で3回となる。共通電極▲18▼と走査線②のパターン不良によるショートが激減するので大幅に歩留りが向上する。実施例3と同様に共通電極の材質を自由に選択できるのでプロセスの自由度が広がる。

【0066】〔実施例5〕図7は、本発明の第5の実施例の断面図である。実施例1から4までは横電界方式の液晶表示モードであるが、実施例5は、縦電界方式の液晶表示モード（TN方式、垂直配向方式、強誘電方式、反強誘電方式）に適用できる。映像信号配線⑦とドレイン電極⑧を形成してパッシベーション膜を堆積してから、ドレイン電極上のパッシベーション膜をコンタクトホール▲10▼の穴をあけて除去する。最後に透明画素電極▲14▼を形成する。ホトマスクプロセスは全工程で4回となる。

【0067】〔実施例6〕図56, 図57, 図58, 図59, 図60, 図61は、本発明の第6の実施例の平面図である。断面図は図3, 図6と同じものである。実施例1から5と異なるのは、図30にあるプロセスを使用しない点です。映像信号配線⑦と液晶駆動電極▲17▼と走査線端子部接合金属▲19▼を同時に形成するために金属膜を堆積してからパターンニングをした後、薄膜トランジスタ素子のチャネル部領域に残された金属膜とn<sup>+</sup>層を除去します。これとは逆に金属膜を堆積してから、薄膜トランジスタ素子のチャネル部領域の金属膜とn<sup>+</sup>層を除去し、その後映像信号配線と液晶駆動電極と走査線端子部接合金属をパターンニングする方法でも可能です。

【0068】〔実施例7〕図8, 図68, 図69, 図70, 図71, 図72, 図73は、本発明の第7の実施例の断面図と平面図である。走査線②をパターンニング後、ゲート絶縁膜④とアモルファスシリコン半導体膜⑤とn<sup>+</sup>アモルファスシリコン膜⑥を図92, 図93にあるように局所的に部分堆積する。堆積後走査線の端子部③は金属電極が露出している。次に映像信号配線⑦と液晶駆動電極▲17▼を同時に形成するために金属膜をスパッタリング方式を用いて堆積する。金属膜をウェットエッチングやドライエッチングを用いてパターンニング加工した後金属膜がなくなった部分のn<sup>+</sup>層も同様にウェットエッチングやドライエッチングを用いて除去する。それから基板全面にパッシベーション膜を堆積して、薄膜トランジスタ素子のチャネル部と映像信号配線

と液晶駆動電極を分離させるために余分な領域のパッシベーション膜とアモルファスシリコン半導体膜を除去する。ホトマスクプロセスは全工程で3回ですみます。

【0069】〔実施例8〕図9は、本発明の第8の実施例の断面図である。ゲート絶縁膜を図92、図93にあるように局所的に部分堆積した後、アモルファスシリコン半導体膜とn<sup>+</sup>アモルファスシリコン膜は、基板全面に堆積する。次に映像信号配線と液晶駆動電極を形成した後、パッシベーション膜を基板全面に堆積する。それから薄膜トランジスタ素子のチャネル部と映像信号配線と液晶駆動電極を分離させるために、余分な領域のパッシベーション膜とアモルファスシリコン半導体膜を除去する。この時同時に走査線の端子部電極を被覆している余分な、パッシベーション膜とアモルファスシリコン半導体膜も除去する。パッシベーション膜は全面堆積でなく局所的な部分堆積でも良い。

【0070】〔実施例9〕図11は、本発明の第9の実施例の断面図である。実施例3と同様に共通電極を一番はじめに形成してから走査線下地絶縁膜▲20▼を局所的に堆積している。その後のプロセスは実施例7とまったく同じものである。ホトマスクプロセスは全工程で4回となるが、共通電極▲18▼と走査線②のパターン不良によるショートが激減するので大幅に歩留りが向上する。

【0071】〔実施例10〕図12は、本発明の第10の実施例の断面図である。実施例4と同様に共通電極を一番最後に形成している。実施例4と異なりパッシベーション膜は有効画素領域全面に被覆されていないのでアモルファスシリコン層の加工断面が露出している。このため露出しているアモルファスシリコン層の側面をアッシング処理などにより酸化して絶縁膜化するプロセスが必要となる。

【0072】〔実施例11〕図10、図74、図75、図76、図77、図78、図79は、本発明の第11の実施例の断面図と平面図である。本実施例は縦電界方式の液晶表示モード（TN方式、垂直配向方式、強誘電方式、反強誘電方式）に適用する。まずはじめに走査線②をパターンニングしてから、ゲート絶縁膜④とアモルファスシリコン半導体膜⑤とn<sup>+</sup>アモルファスシリコン膜⑥を図92、図93にあるように局所的に部分堆積する。次に金属膜を全面に堆積し、映像信号配線⑦とドレイン電極⑧をパターンニングする。金属膜のなくなった領域のn<sup>+</sup>アモルファスシリコン膜を除去した後基板全面にパッシベーション膜を堆積する。次に薄膜トランジスタ素子のチャネル部と映像信号配線とドレイン電極とを分離させるために余分な領域のパッシベーション膜とアモルファスシリコン半導体膜を除去する。この時、同時にドレイン電極上の余分なパッシベーション膜と、走査線の端子部電極上の余分なパッシベーション膜と、映像信号配線の端子部電極上の余分なパッシベーション膜

を除去する。最後に透明画素電極▲14▼を形成する。ホトマスク工程は全工程で4回である。実施例8にあるように、アモルファスシリコン半導体膜とn<sup>+</sup>アモルファスシリコン膜を基板全面に堆積する方法も可能である。

【0073】〔実施例12〕図13、図64、図65、図66、図67、図97、図100、図101は、第12の実施例の断面図と平面図である。走査線をパターンニング後、ゲート絶縁膜④と、アモルファスシリコン半導体膜⑤とn<sup>+</sup>アモルファスシリコン膜⑥を図92、図93にあるように局所的に部分堆積する。次に金属膜を基板全面に堆積し、映像信号配線と液晶駆動電極とをパターンニングする。金属のない部分のn<sup>+</sup>層とアモルファスシリコン層を除去してから、透明導電膜やチタン系の金属膜を基板全面に堆積する。次に映像信号配線と液晶駆動電極とを電氣的に分離するために薄膜トランジスタ素子のチャネル部分の金属層とn<sup>+</sup>層アモルファスシリコン層を除去する。最後に局所的にパッシベーション膜を堆積する。図97、図100、図101は映像信号配線とドレイン電極を形成してから透明導電膜やチタン系金属膜または高融点金属のシリサイド化合物を基板全面に堆積して映像信号配線と液晶駆動電極をパターンニングする。それからチャネル部分のよぶんな金属層とn<sup>+</sup>層を除去してから、局所的にパッシベーション膜を堆積する。

【0074】〔実施例13〕図14は、本発明の第13の実施例の断面図である。実施例12とパッシベーション膜を堆積するまでは、まったく同じである。実施例13ではパッシベーション膜を基板全面に堆積してから、走査線端子部と、映像信号配線端子部にコンタクトホール▲11▼を形成し端子部の上に堆積されたよぶんなパッシベーション膜を除去している。

【0075】〔実施例14〕図98は、本発明の第14の実施例の断面図である。実施例4と同様に走査線②と、共通電極▲18▼を同時に形成せず、一番はじめに走査線②を形成してから、プロセスの一番最後に共通電極▲18▼を形成している。ホトマスクプロセスは全工程で4回である。

【0076】〔実施例15〕図99は、本発明の第15の実施例の断面図である。実施例3と同様に走査線②と共通電極▲18▼を同時形成せずに、共通電極▲18▼を一番はじめに形成してから走査線下地絶縁膜▲20▼を局所的に堆積している。ホトマスクプロセスは、全工程で4回である。

【0077】〔実施例16〕図15、図62、図63、図64、図65、図66、図67は、本発明の第16の実施例の断面図と平面図である。走査線をパターンニング後、ゲート絶縁膜④とアモルファスシリコン半導体膜⑤とn<sup>+</sup>アモルファスシリコン膜⑥を図92、図93にあるように局所的に堆積する。次に金属膜を基板全面に



堆積し、映像信号配線とドレイン電極を形成する。それから透明導電膜を基板全面に堆積して映像信号配線と透明画素電極▲14▼をパターンニングする。次な薄膜トランジスタのチャネル部分のよぶんな金属層とn<sup>+</sup>層を除去する。最後に局部的にパッシベーション膜を堆積する。本実施例は縦電界方式の液晶表示モード(TN方式、垂直配向方式、強誘電液晶方式、反強誘電液晶方式)に適用される。ホトマスクプロセスは全工程で3回である。

【0078】〔実施例17〕図16、図106、図107、図82、図83、図84、図85は、本発明の第17の実施例の断面図と平面図である。走査線をパターンニング後、ゲート絶縁膜④とアモルファスシリコン半導体膜⑤とn<sup>+</sup>アモルファスシリコン膜⑥を図92、図93にあるように局部的に部分堆積する。次にアモルファスシリコン膜をパターンニングしてトランジスタのチャネル部分を形成する。その後金属膜を基板全面に堆積してから映像信号配線⑦と液晶駆動電極▲17▼をパターンニングする。トランジスタのチャネル部分のn<sup>+</sup>層を除去してから最後に局部的にパッシベーション膜を堆積する。図16の場合、図106、図107の液晶駆動電極▲17▼の下部には、アモルファスシリコン層は存在していない。図102、図80、図81は、液晶駆動電極▲17▼の下部にアモルファスシリコン層が存在しているが、まったく同じプロセスで作ることができる。ホトマスクプロセスは全工程で3回である。

【0079】〔実施例18〕図17、図105は、本発明の第18の実施例の断面図である。実施例17と、パッシベーション膜を堆積するまでは、まったく同じである。実施例18では、パッシベーション膜を基板全面に堆積してから、走査線端子部と映像信号配線端子部にコンタクトホール▲11▼を形成し、端子部の上に堆積されたよぶんなパッシベーション膜を除去している。ホトマスクプロセスは、全工程で4回である。

【0080】〔実施例19〕図18、図103は、本発明の第19の実施例の断面図である。実施例3と同様に走査線②と共通電極▲18▼を同時形成せずに、共通電極▲18▼を一番はじめに形成してから走査配線下地絶縁膜▲20▼を局部的に堆積している。残りのプロセスは実施例18と同じである。ホトマスク工程は全工程で4回である。図18の場合、液晶駆動電極▲17▼の下部には、アモルファスシリコン層は存在していないが、図103の場合には、液晶駆動電極▲17▼の下部には、アモルファスシリコン層が存在している。図18と図103とは、まったく同じプロセスで作ることができる。

【0081】〔実施例20〕図19、図104は、本発明の第20の実施例の断面図である。実施例4と同様に走査線②と共通電極▲18▼を同時形成せずに、一番はじめに走査線②を形成してから、プロセスの一番最後に

共通電極▲18▼を形成している。ホトマスク工程は全工程で4回である。図19の場合、液晶駆動電極▲17▼の下部には、アモルファスシリコン層は存在していないが、図104の場合には、液晶駆動電極▲17▼の下部には、アモルファスシリコン層が存在している。図19と図104とは、まったく同じプロセスで作ることができる。

【0082】〔実施例21〕図20、図86、図87、図88、図89、図90、図91は、本発明の第21の実施例の断面図と平面図である。走査線②をパターンニング後、ゲート絶縁膜④とアモルファスシリコン半導体膜⑤とエッチングストッパー膜▲21▼を、図92、図93にあるように局部的に部分堆積する。堆積後、走査線の端子部③は、金属電極が露出している。次に図86、図87の平面図にあるように走査線(ゲート電極)の内側の部分にトランジスタのチャネル部を形成するための領域だけにエッチングストッパー膜▲21▼を残し、他の領域は、有効画素領域周辺半導体層▲59▼以外のエッチングストッパー膜は、すべて除去する。その次にオーミックコンタクトをとるためにn<sup>+</sup>アモルファスシリコン層または、n<sup>+</sup>マイクロクリスタルシリコン層を局部的に堆積する。イオンシャワードーピングやイオンインプランテーションを有効画素領域と静電気対策用保護トランジスタ領域のみに実施することでもオーミックコンタクトを得ることは可能である。その後、映像信号配線と液晶駆動電極を形成するためには金属膜を基板全面に堆積する。映像信号配線⑦と液晶駆動電極▲17▼をパターンニングしてから、よぶんなn<sup>+</sup>層とアモルファスシリコン層を除去する。最後にパッシベーション膜を局部的に堆積する。本工程では、最後のパッシベーション膜は絶対に必要というわけではない。パッシベーション工程を省略しても良い。ホトマスクプロセスは全工程で3回である。

【0083】〔実施例22〕図21は、本発明の第22の実施例の断面図である。実施例21と、パッシベーション膜を堆積するまでは、まったく同じである。実施例22では、パッシベーション膜を基板全面に堆積してから走査線端子部と映像信号配線端子部にコンタクトホール▲11▼を形成し、端子部の上に堆積されたよぶんなパッシベーション膜を除去している。ホトマスクプロセスは、全工程で4回である。

【0084】〔実施例23〕図22は、本発明の第23の実施例の断面図である。実施例3と同様に、走査線②と共通電極▲18▼を同時形成せずに共通電極▲18▼を一番はじめに形成してから、走査線下地絶縁膜▲20▼を局部的に堆積している。残りのプロセスは実施例21と同じである。ホトマスク工程は全工程で4回である。

【0085】〔実施例24〕図23は、本発明の第24の実施例の断面図である。実施例4と同様に、走査線②

と共通電極▲18▼を同時形成せずに、一番はじめに走査線②を形成してから、プロセスの一番最後に共通電極▲18▼を形成している。ホトマスク工程は全工程で4回である。

【0086】〔実施例25〕図24は、本発明の第25の実施例の断面図である。実施例25は、縦電界方式の液晶表示モード(TN方式、垂直配向方式、強誘電液晶方式、反強誘電液晶方式)に適用できる、映像信号配線⑦とドレイン電極⑧を形成した後、透明導電膜を基板全面に堆積して、透明画素電極▲14▼を形成する。その後局部的にパッシベーション膜を堆積する。ホトマスク工程は全工程で4回である。

【0087】〔実施例26〕図31、図32、図33、図34は、本発明の第26の実施例の平面図である。表示1画素につき、薄膜トランジスタのゲート電極が2個平行に形成されており、薄膜トランジスタのチャネル領域も2個平行に形成されている。ドレイン電極は1本にまとめられ液晶駆動電極につながっている。図3、図8、図13、図16、図20のタイプの薄膜トランジスタ素子に適用することができる。この構造によりゲート電極とドレイン電極のミスアライメントが発生しても、ドレイン電極の容量変化はほとんど生じない。

【0088】〔実施例27〕図25、図26、図27、図28、図29、図30は、本発明の第27の実施例の断面図と平面図である。図25は、半透過領域をホトマスクの金属材料のみで作る場合の実施例である。トランジスタのチャネル領域に適用した場合のホトマスクの実施例である。チャネル領域のUV光線の透過光量を均一にコントロールできるパターンであればどんなパターンでも良い。図26は、UV光を必要な量だけ均一に吸収できる半透過膜▲24▼を堆積したホトマスクの断面図である。半透過膜の材質としてプラズマCVD装置で堆積可能な窒化膜が適している。SiH<sub>4</sub>(シラン)とN<sub>2</sub>(窒素ガス)とNH<sub>3</sub>(アンモニアガス)の混合比を変化させることでUV光の吸収量を自由に均一にコントロールできる。長時間UVを照射してもUV吸収量の変化しない膜であれば使用可能である。図28は、トランジスタのチャネル領域にUV吸収膜を適用した場合のホトマスクの実施例である。図29は、図25、図26の構造のホトマスクを利用してポジレジストを露光現像した場合のポジレジストの断面図である。半透過光量を調整することで半露光領域と、無露光領域のポジレジストの膜厚を自由にコントロールできる。図30は本発明のホトマスクプロセスを用いて薄膜トランジスタ素子を形成する時のプロセスフローである。

【0089】〔実施例28〕図35、図36、図37、図38は、本発明の第28の実施例の断面図と平面図である。図35にあるように、走査線はできるだけ抵抗を低下させるためにアルミニウム系や銅系の材量を用いる。共通電極のうち液晶駆動電極と対向する画素共通電

極▲36▼は、抵抗が高くても問題はない。ラビング処理のことを考えると、画素共通電極と液晶駆動電極の膜厚は可能な限り薄い方が良い。アルミニウム系の場合には、アルミニウムのヒロック発生防止のためにキャップ金属を用い、銅系の場合には、ガラス基板との接着力向上のために下地金属としてチタン系やタンタル系、クロム系の金属または高融点金属のシリサイド化合物が用いられ、酸化防止のためにキャップ金属も必ず必要となる。アルミニウム系、銅系ともにキャップ金属には、高融点金属系が高融点金属のシリサイド化合物を用いる。断面図36、図37、図38を見てわかるように液晶駆動電極と対向している画素共通電極は、走査線よりも膜厚が薄い方がラビング処理時のラビング密度が高くなり液晶分子の配向力が強くなる。画素共通電極の膜厚が厚くなるとラビング布の毛先の運動が回転方向に平行に直線状に運動しなくなり液晶の分子の配向方向がみだれてしまい液晶分子の配向性の安定が低下してしまう。

【0090】〔実施例29〕図39、図40、図41、図42は、本発明の第29の実施例の断面図と平面図である。図39は映像信号配線とドレイン電極の平面図で、ドレイン電極の断面図が図40、図41、図42である。ゲート絶縁膜やアモルファスシリコン半導体膜やパッシベーション膜の堆積領域の境界を映像信号配線がよこぎる時、下地膜の熱膨張係数の差と、接着力の差から堆積領域境界で映像信号配線が断線したり膜はがれしたりする不良が発生する。本発明のように下地映像信号配線にチタン系の金属か、クロム系の金属または、高融点金属のシリサイド化合物を用いることで上記の断線、膜はがれは激減する。

【0091】〔実施例30〕図43、図44、図45は、本発明の第30の実施例の平面図である。ゲート絶縁膜の堆積領域よりもパッシベーション膜の堆積領域の方が広い。静電気対策用の保護アクティブ素子▲55▼は、有効画素の2辺以上に形成されており、共通電極と映像信号配線の接合領域と、共通電極と走査線の接合領域はゲート絶縁膜の堆積領域外に存在しており、静電気対策用の保護アクティブ素子と上記接合領域はすべて完全にパッシベーション膜により被覆されている。図43、図45にあるように、映像信号配線の端子部の下までゲート絶縁膜が堆積されている場合映像信号配線の断線は激減する。走査線の端子部末端からゲート絶縁膜の堆積境界までの距離▲B▼と、走査線の端子部末端からパッシベーション膜の堆積境界までの距離▲A▼は、それぞれ2mm以上が必要である。同様にゲート絶縁膜の堆積境界から静電気対策用保護アクティブ素子の接合端子部の末端までの距離も2mm以上必要となる。2mm以下の場合、ゲート絶縁膜が走査線の端子部全体を被覆してしまう可能性が高くなりコンタクト不良が多発する。

【0092】〔実施例31〕図46、図47は、本発明

の第 31 の実施例の平面図である。2 枚の基板をはり合わせるシールラインが、局部的に堆積されたゲート絶縁膜の周辺境界上か、または、ゲート絶縁膜の堆積領域外でなおかつパッシベーション膜堆積領域内に存在している。

【0093】〔実施例 32〕図 94、図 95 は、本発明の第 32 の実施例の平面図である。図 94 は走査線用のホトマスクであり映像信号配線と走査線が交差する位置に半透過膜が設置されている。図 95 は、薄膜トランジスタ素子のチャネル領域を形成するためのホトマスクである。液晶駆動電極や透明画素電極と交差する部分に半透過膜が設置されている。このホトマスクを利用してポジレジストを露光すると半透過膜の設置された部分のポジレジスト膜厚が薄くなり、ドライエッチングするとき、超テーパー加工が可能となる。これにより断線が激減する。半透過膜のかわりに図 25 のようなホトマスクを用いても同様な効果がある。共通電極と映像信号配線の交差部にも本発明を適用できる。

【0094】〔実施例 33〕図 96 は、本発明の第 33 の実施例の平面図である。走査線と交差している共通電極と、映像信号配線と交差している共通電極とを接続する部分が、局部的に堆積されたゲート絶縁膜の領域外に存在している。

【0095】

【発明の効果】 本発明によればアクティブ素子基板の全工程でホトマスク工程の回数を 2 回から 3 回程度まで大幅に低減可能となる。これによりクリーンルームの面積を減少でき、露光装置や洗浄装置、レジスト関連装置やクリーン保管庫の数を大幅に低減できる。初期投資の金額を大幅に低減できるのと工場のランニングコストも大幅に低減できる。さらに工程が短縮できるので品質管理もしやすく歩留りを向上しやすくなる。生産効率も大幅に向上するので液晶表示パネルの価格を安くすることが可能となる。一番堆積膜厚の厚いゲート絶縁膜を局所的な部分堆積することで、ガラス基板に発生する応力が均一化する。そのためにガラス基板の切断後に異常な寸法変化も生じにくくなり、カラーフィルター基板と薄膜トランジスタ基板の合着アライメント誤差も減少する。本発明のトランジスタ構造、静電気対策用保護トランジスタを用いることでホトマスク間のミスアライメントが発生しても表示ムラの発生しない、静電気に対して強い液晶パネルを製造することが可能となる。本発明の共通電極構造を用いることでラビング処理が大幅に低下し、映像信号配線の断線も激減する。走査配線に銅を用いることで 40 インチの大画面液晶パネルも実現可能である。映像信号配線の下地にチタン系の金属や高融点金属のシリサイド化合物を用いることで膜はがれがなくなる。超大型化しても歩留りは低下しない。

【図面の簡単な説明】

【図 1】 従来の縦電界方式薄膜半導体基板の単位画素

の断面図

【図 2】 従来の横電界方式薄膜半導体基板の単位画素の断面図

【図 3】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 4】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 5】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

10 【図 6】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 7】 本発明の縦電界方式薄膜半導体基板の単位画素の断面図

【図 8】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 9】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 10】 本発明の縦電界方式薄膜半導体基板の単位画素の断面図

20 【図 11】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 12】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 13】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 14】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 15】 本発明の縦電界方式薄膜半導体基板の単位画素の断面図

30 【図 16】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 17】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 18】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 19】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 20】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

40 【図 21】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 22】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 23】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 24】 本発明の縦電界方式薄膜半導体基板の単位画素の断面図

【図 25】 本発明の透過光量調整ホトマスクの断面図

【図 26】 本発明の透過光量調整ホトマスクの断面図

50 【図 27】 本発明の透過光量調整ホトマスクの平面図



【図 28】 本発明の透過光量調整ホトマスクの平面図  
 【図 29】 本発明の透過光量調整ホトマスクを用いて露光・現像処理したポジレジストの断面図  
 【図 30】 本発明の透過光量調整ホトマスクを用いた薄膜トランジスタ素子のプロセスフロー  
 【図 31】 本発明の薄膜トランジスタ素子の平面図  
 【図 32】 本発明の薄膜トランジスタ素子の平面図  
 【図 33】 本発明の薄膜トランジスタ素子の平面図  
 【図 34】 本発明の薄膜トランジスタ素子の平面図  
 【図 35】 本発明の走査電極と共通電極の平面図  
 【図 36】 本発明の走査電極と共通電極の断面図  
 【図 37】 本発明の走査電極と共通電極の断面図  
 【図 38】 本発明の走査電極と共通電極の断面図  
 【図 39】 本発明の映像信号配線とドレイン電極の平面図  
 【図 40】 本発明の映像信号配線の断面図  
 【図 41】 本発明の映像信号配線の断面図  
 【図 42】 本発明の映像信号配線の断面図  
 【図 43】 本発明の薄膜半導体基板の平面図  
 【図 44】 本発明の薄膜半導体基板の平面図  
 【図 45】 本発明の薄膜半導体基板の平面図  
 【図 46】 本発明のシールラインの配置平面図  
 【図 47】 本発明のシールラインの配置平面図  
 【図 48】 本発明で利用した静電気対策用保護回路図  
 【図 49】 本発明で利用した静電気対策用保護回路図  
 【図 50】 本発明の横電界方式薄膜半導体素子の平面図  
 【図 51】 本発明の横電界方式薄膜半導体素子の平面図  
 【図 52】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 53】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 54】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 55】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 56】 本発明の横電界方式薄膜半導体素子の平面図  
 【図 57】 本発明の横電界方式薄膜半導体素子の平面図  
 【図 58】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 59】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 60】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 61】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 62】 本発明の縦電界方式薄膜半導体素子の平面

図  
 【図 63】 本発明の縦電界方式薄膜半導体素子の平面図  
 【図 64】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 65】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 66】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 67】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 68】 本発明の横電界方式薄膜半導体素子の平面図  
 【図 69】 本発明の横電界方式薄膜半導体素子の平面図  
 【図 70】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 71】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 72】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 73】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 74】 本発明の縦電界方式薄膜半導体素子の平面図  
 【図 75】 本発明の縦電界方式薄膜半導体素子の平面図  
 【図 76】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 77】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 78】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 79】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 80】 本発明の横電界方式薄膜半導体素子の平面図  
 【図 81】 本発明の横電界方式薄膜半導体素子の平面図  
 【図 82】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 83】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 84】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 85】 本発明の静電気対策用保護トランジスタ素子の平面図  
 【図 86】 本発明の横電界方式薄膜半導体素子の平面図  
 【図 87】 本発明の横電界方式薄膜半導体素子の平面

図

【図 88】 本発明の静電気対策用保護トランジスタ素子の平面図

【図 89】 本発明の静電気対策用保護トランジスタ素子の平面図

【図 90】 本発明の静電気対策用保護トランジスタ素子の平面図

【図 91】 本発明の静電気対策用保護トランジスタ素子の平面図

【図 92】 本発明のゲート絶縁膜局所堆積領域の平面図 10

【図 93】 本発明のゲート絶縁膜局所堆積領域の平面図

【図 94】 本発明の透過光量調整ホトマスクの平面図

【図 95】 本発明の透過光量調整ホトマスクの平面図

【図 96】 本発明の横電界方式薄膜半導体基板の平面図

【図 97】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 98】 本発明の横電界方式薄膜半導体基板の単位画素の断面図 20

【図 99】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 100】 本発明の横電界方式薄膜半導体素子の平面図

【図 101】 本発明の横電界方式薄膜半導体素子の平面図

【図 102】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 103】 本発明の横電界方式薄膜半導体基板の単位画素の断面図 30

【図 104】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 105】 本発明の横電界方式薄膜半導体基板の単位画素の断面図

【図 106】 本発明の横電界方式薄膜半導体素子の平面図

【図 107】 本発明の横電界方式薄膜半導体素子の平面図

【符号の説明】 40

- 1 ……ガラス基板
- 2 ……走査線（ゲート電極）
- 3 ……走査線端子部
- 4 ……ゲート絶縁膜
- 5 ……薄膜半導体層（ノンドープ層）
- 6 ……リンをドープした n<sup>+</sup> 半導体層
- 7 ……映像信号配線
- 8 ……ドレイン電極
- 9 ……映像信号配線端子部
- 10 ……画素電極コンタクトホール

- 11 ……走査線端子部コンタクトホール
- 12 ……映像信号配線コンタクトホール
- 13 ……走査線端子部駆動 IC 接合電極（透明電極）
- 14 ……画素電極（透明電極）
- 15 ……映像信号配線端子部駆動 IC 接合電極（透明電極）
- 16 ……パッシベーション膜
- 17 ……横電界方式液晶駆動電極（画素電極）
- 18 ……横電界方式共通電極
- 19 ……走査線端子部駆動 IC 接合電極（金属電極）
- 20 ……走査線下地絶縁膜
- 21 ……エッチングストッパー絶縁膜
- 22 ……ホトマスク用石英ガラス基板
- 23 ……半透過ホトマスク領域
- 24 ……半透過膜領域
- 25 ……ホトマスク金属（Cr または Mo）
- 26 ……映像信号配線ホトマスク完全遮断領域
- 27 ……ドレイン電極ホトマスク完全遮断領域
- 28 ……トランジスタ・チャネル部半透過領域
- 29 ……トランジスタ・チャネル部半透過膜
- 30 ……ポジレジスト UV 露光完全遮断領域の現像後の膜厚
- 31 ……ポジレジスト UV 露光半透過領域の現像後の膜厚
- 32 ……ポジレジスト
- 33 ……第 1 層走査線（アルミニウムまたはアルミニウム合金）
- 34 ……第 2 層走査線（キャップ電極）
- 35 ……第 1 層共通電極（アルミニウムまたはアルミニウム合金）
- 36 ……第 2 層共通電極（画素共通電極）
- 37 ……第 2 層下部走査線
- 38 ……第 2 層上部走査線
- 39 ……第 2 層下部共通電極（画素共通電極）
- 40 ……第 2 層上部共通電極（画素共通電極）
- 41 ……下地走査線
- 42 ……銅または銅合金走査線
- 43 ……キャップゲート電極
- 44 ……銅または銅合金共通電極
- 45 ……下地共通電極
- 46 ……キャップ共通電極（画素共通電極）
- 47 ……走査線と共通電極の切断位置
- 48 ……映像配線の切断位置
- 49 ……下地映像信号配線
- 50 ……低抵抗映像信号配線
- 51 ……キャップ映像信号配線
- 52 ……エッチングストッパー映像信号配線
- 53 ……ゲート絶縁膜局所堆積領域
- 54 ……パッシベーション膜局所堆積領域
- 55 ……静電気対策用保護アクティブ素子

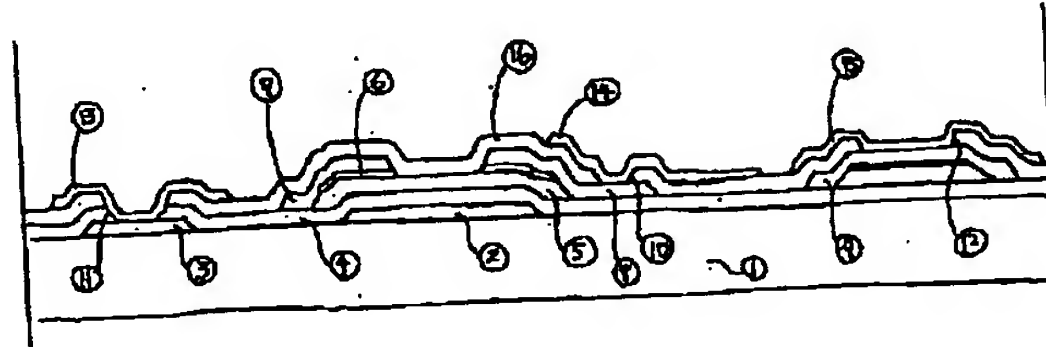
31

- 56……有効画素領域周辺共通電極  
 57……液晶セルシールライン  
 58……薄膜トランジスタチャネル部エッチング領域  
 59……有効画素領域周辺半導体層  
 A……ゲート絶縁膜堆積境界から走査線端子部末端までの距離

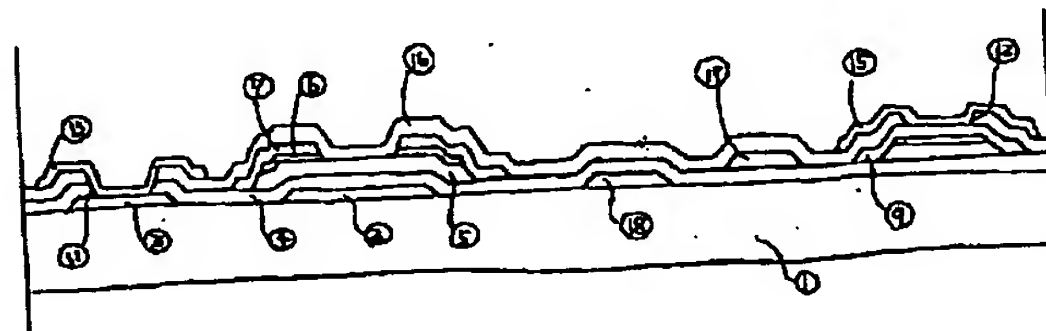
32

- B……パッシベーション膜堆積境界から走査線端子部末端までの距離  
 C……ゲート絶縁膜堆積境界から静電気対策用保護アクティブ素子の接合端子部末端までの距離  
 60……共通電極端子部

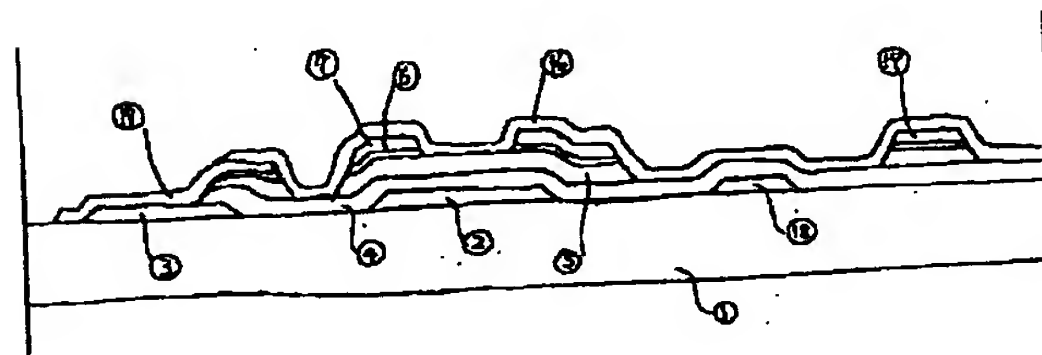
【図1】



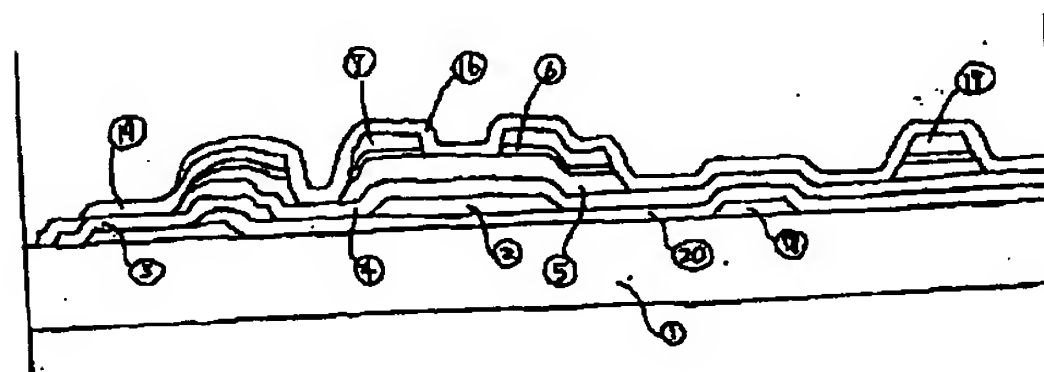
【図2】



【図3】

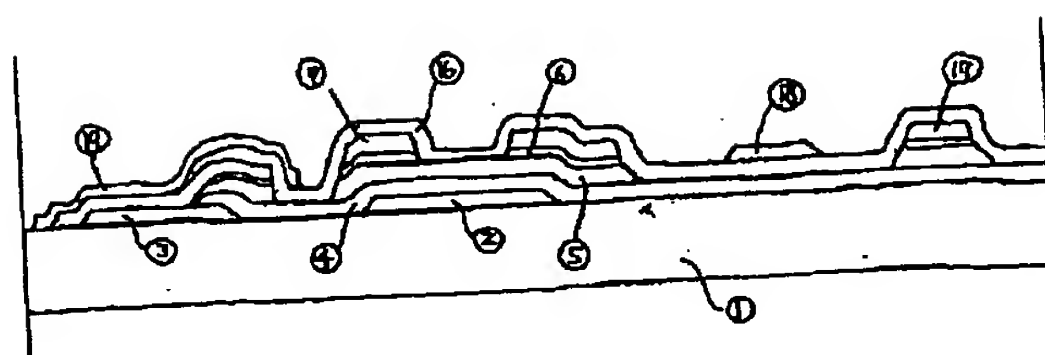


【図4】

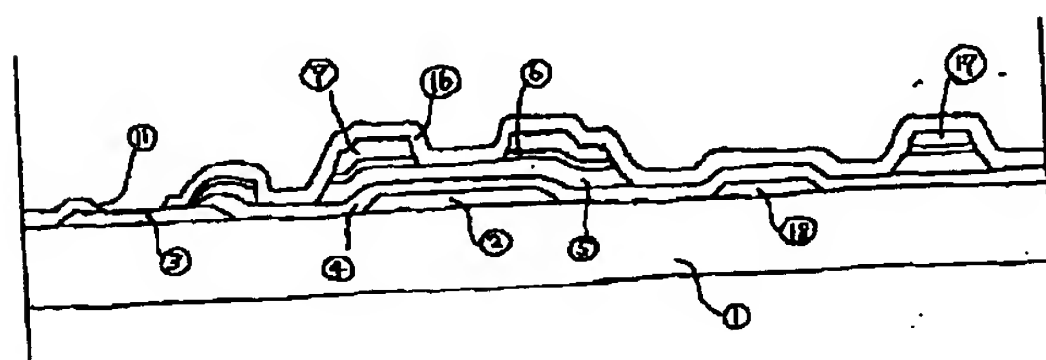




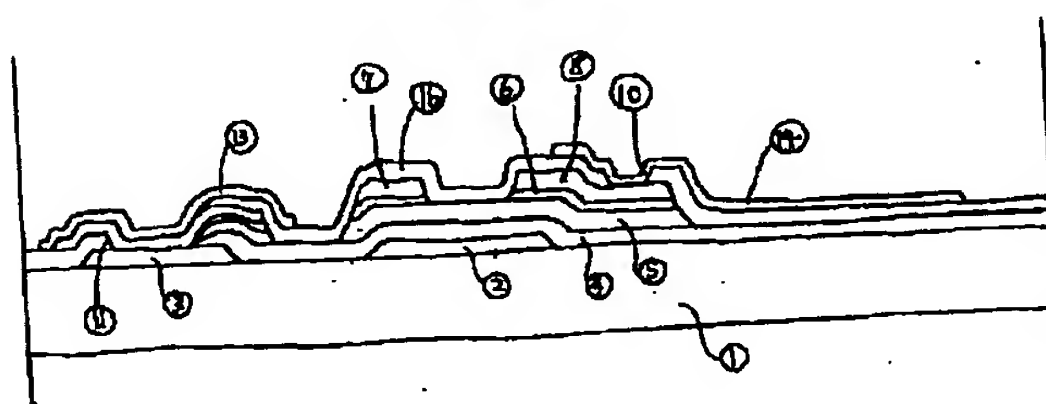
【図5】



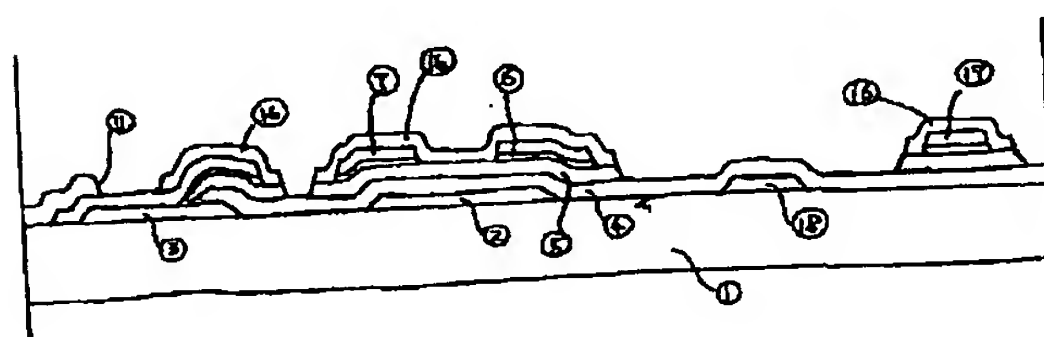
【図6】



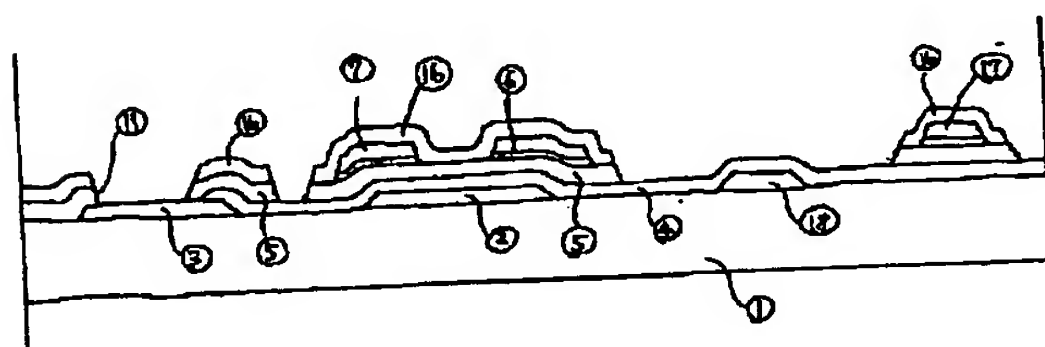
【図7】



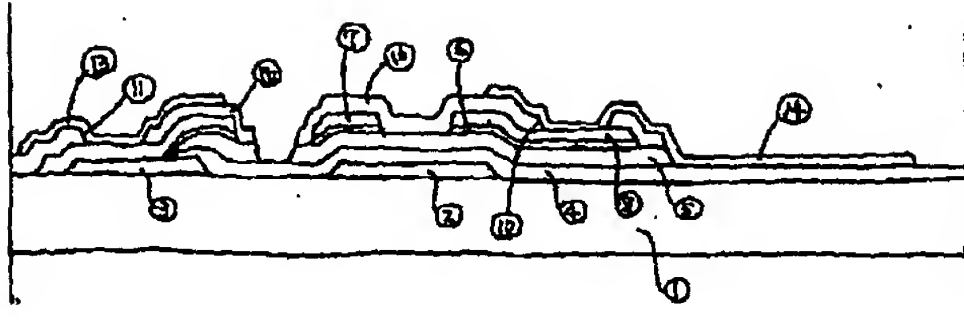
【図8】



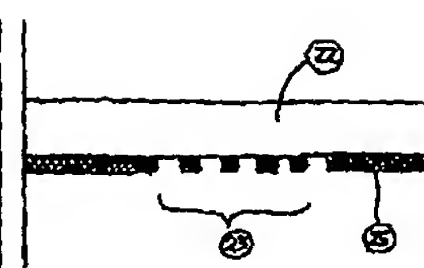
【図9】



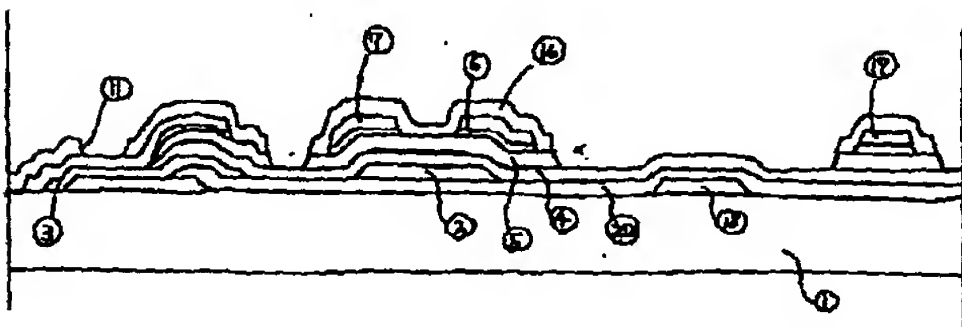
【図10】



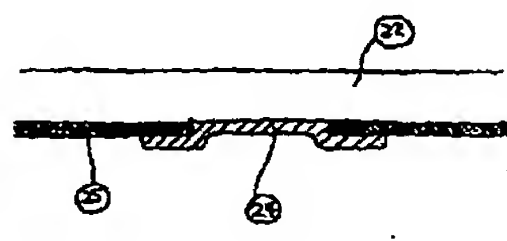
【図25】



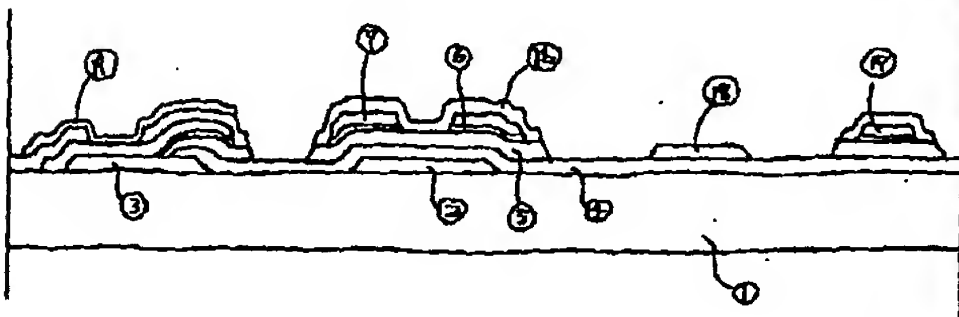
【図11】



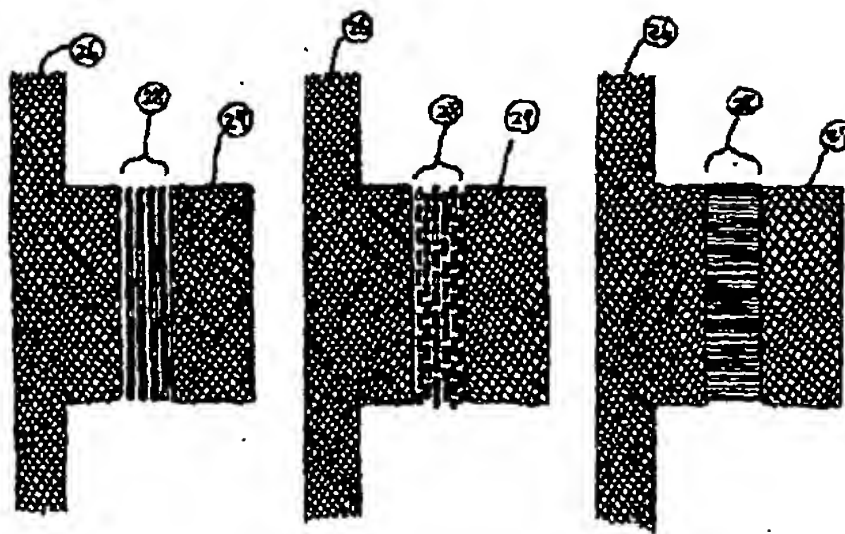
【図26】



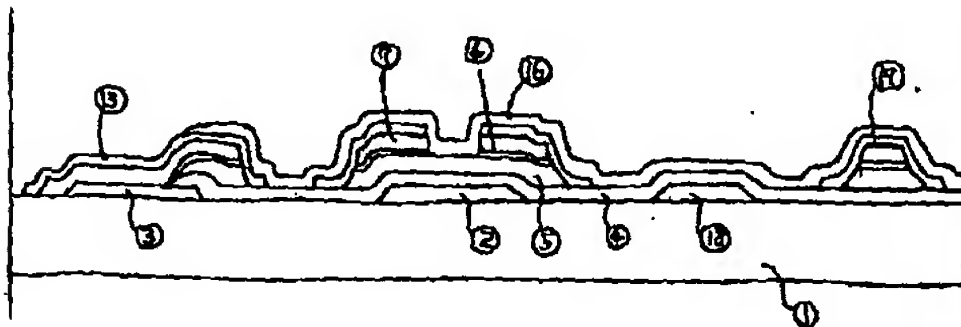
【図12】



【図27】

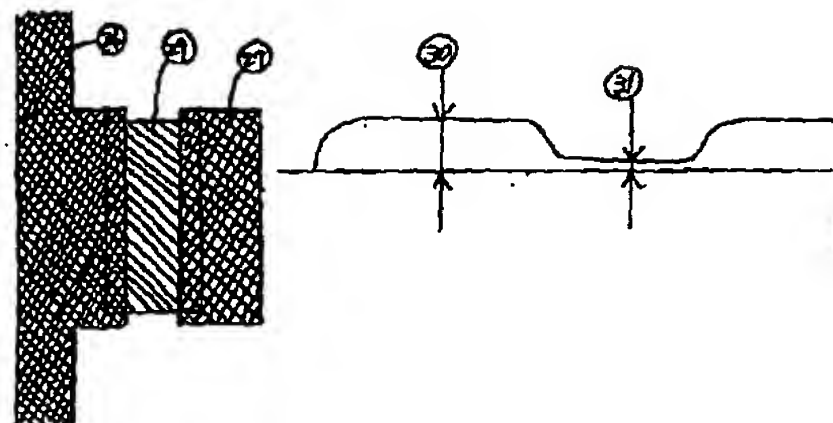


【図13】

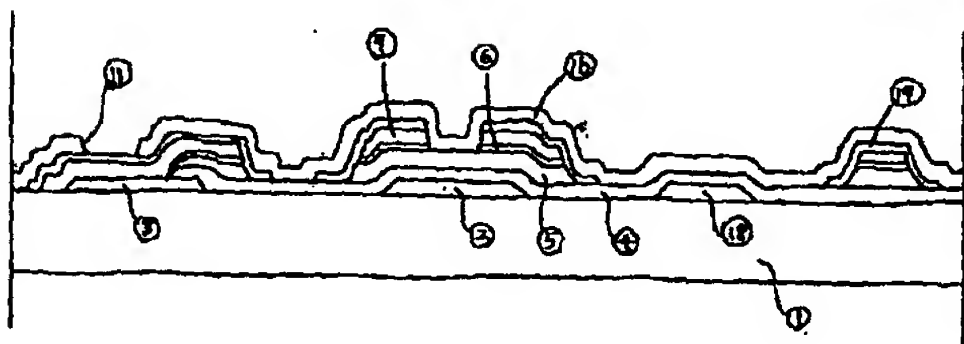


【図28】

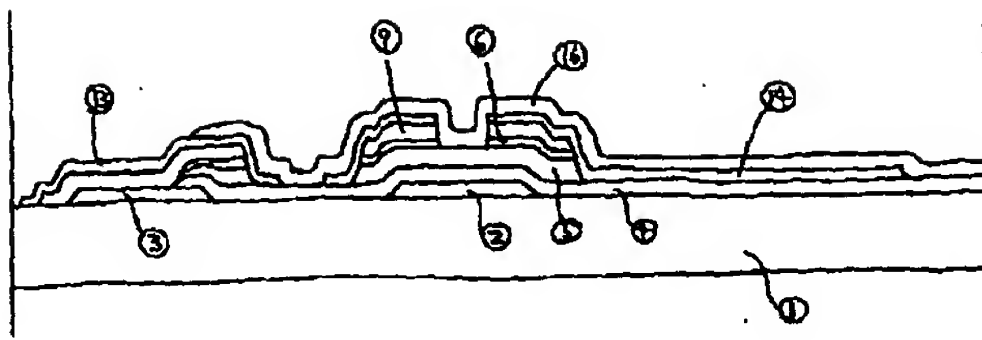
【図29】



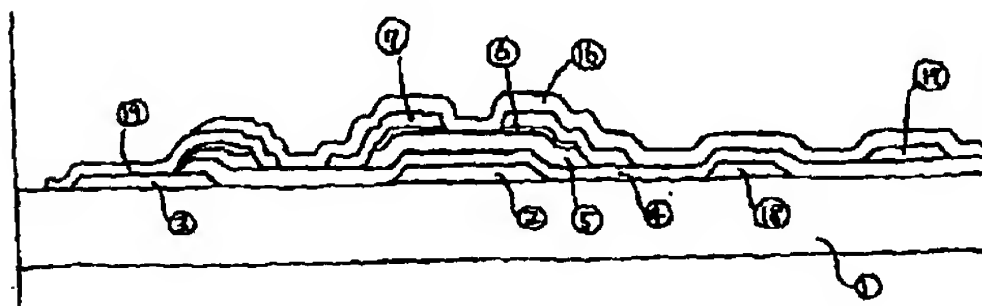
【図14】



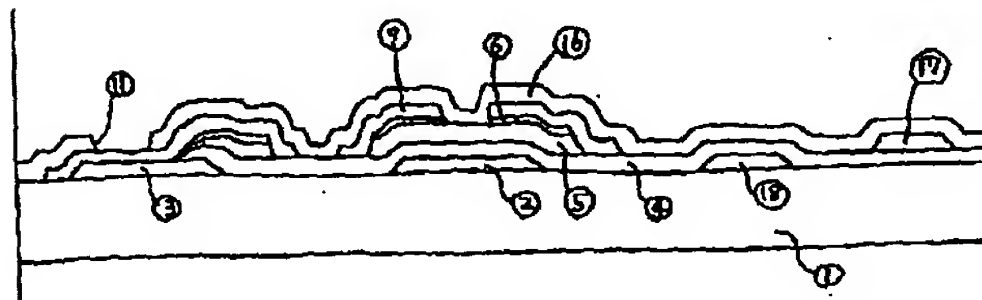
【図15】



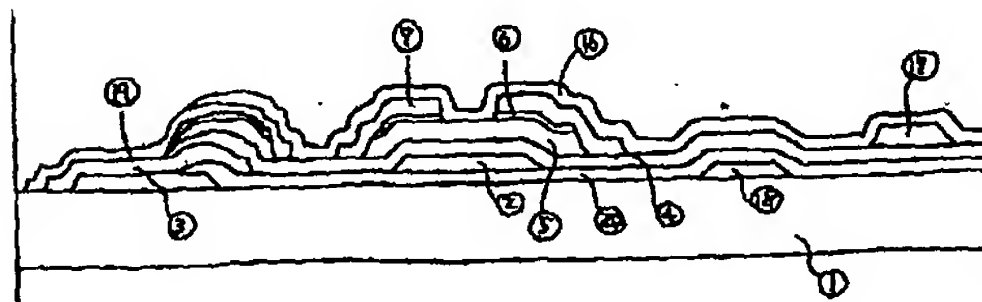
【図16】



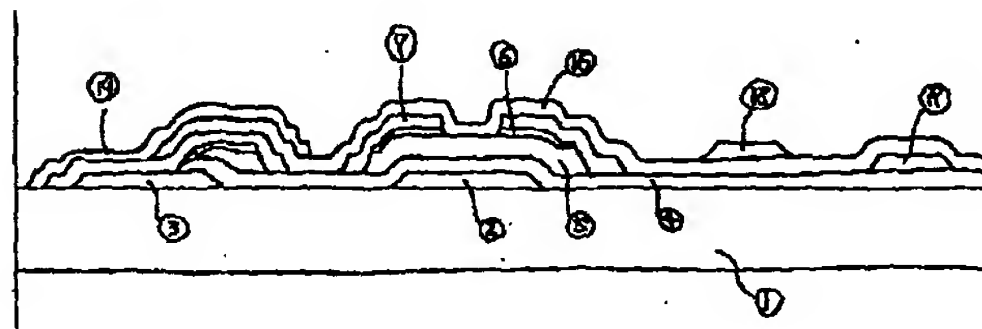
【図17】



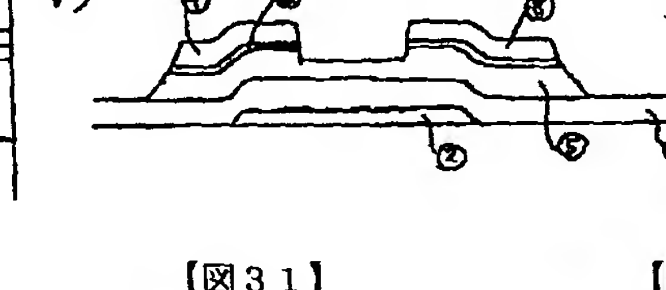
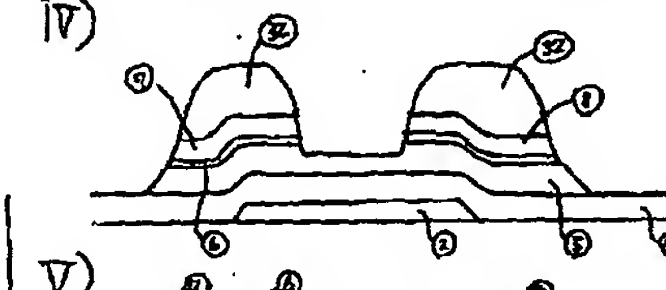
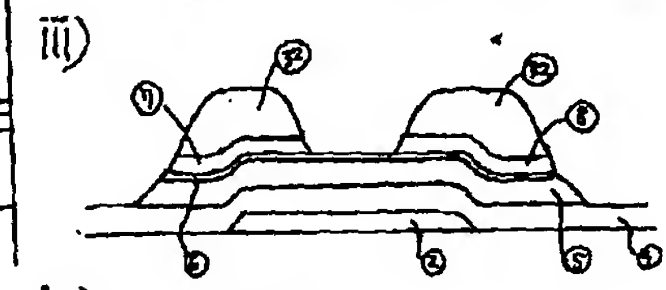
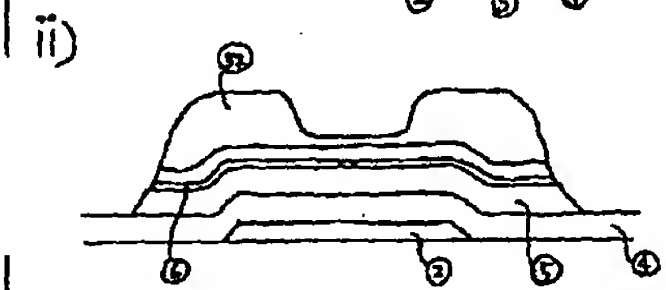
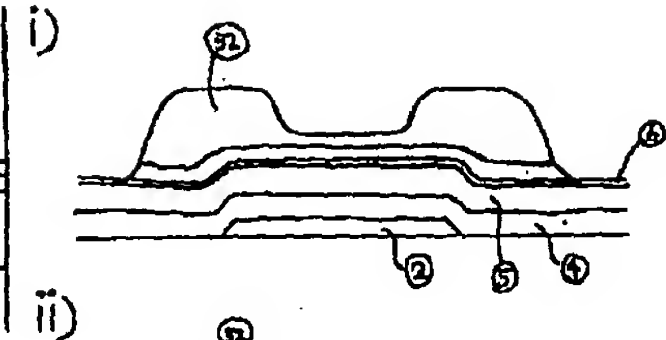
【図18】



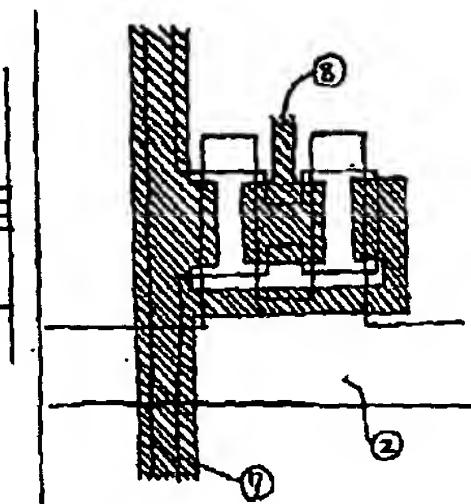
【図19】



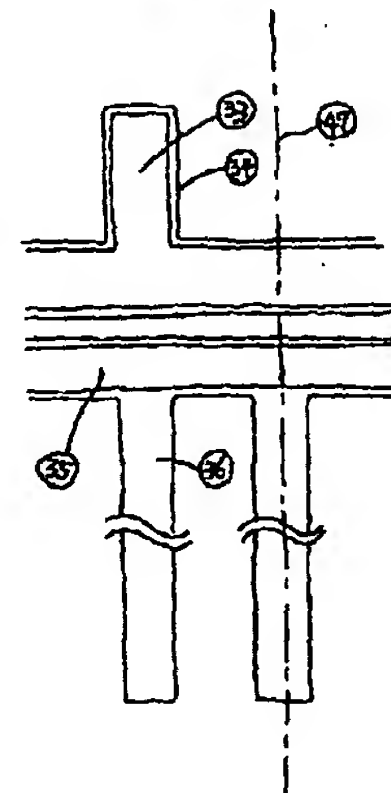
【図30】



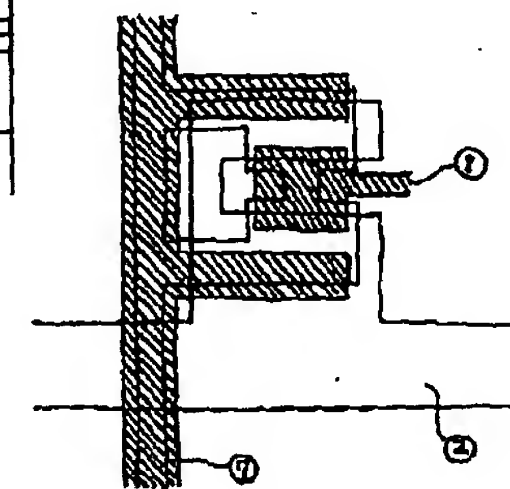
【図31】



【図35】

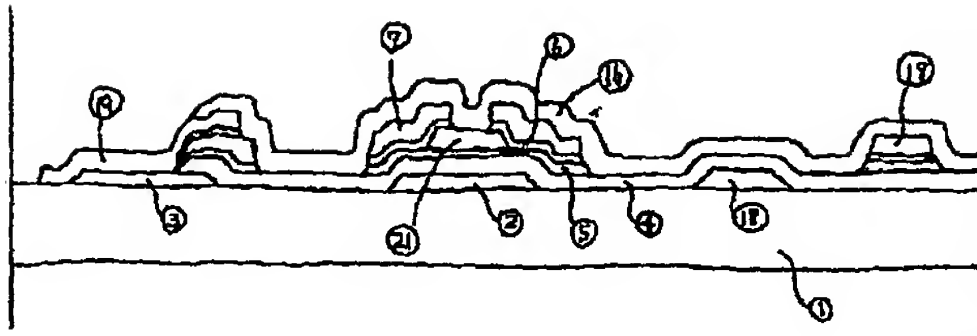


【図32】

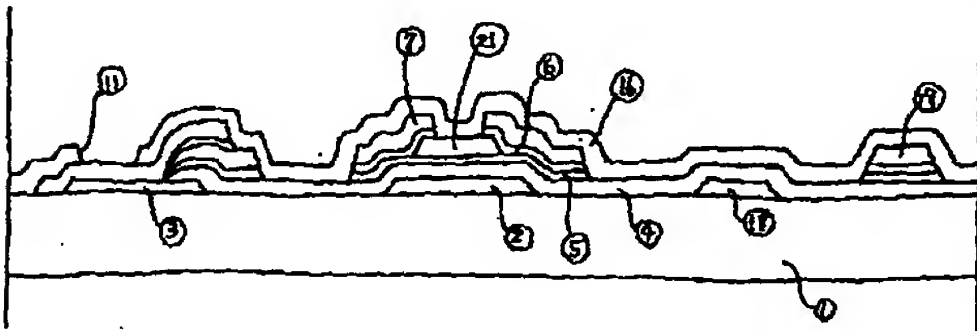




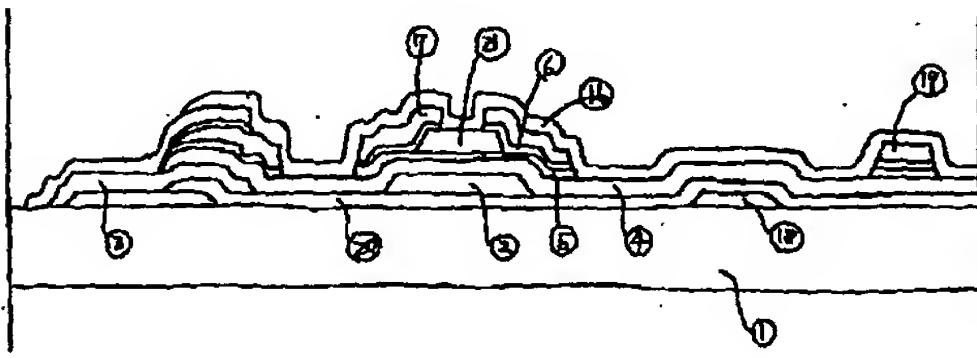
【図20】



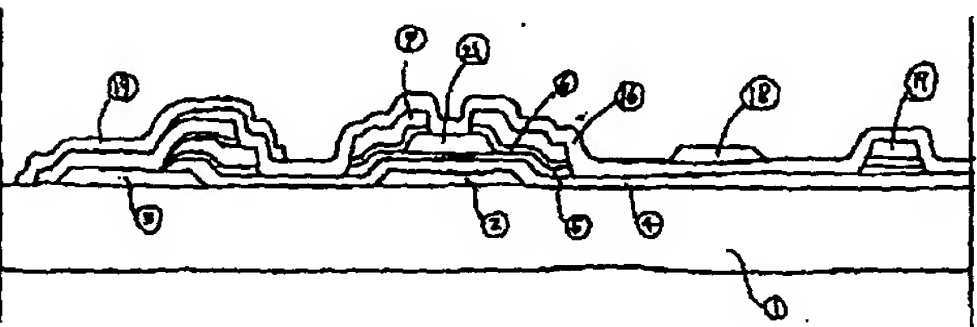
【図21】



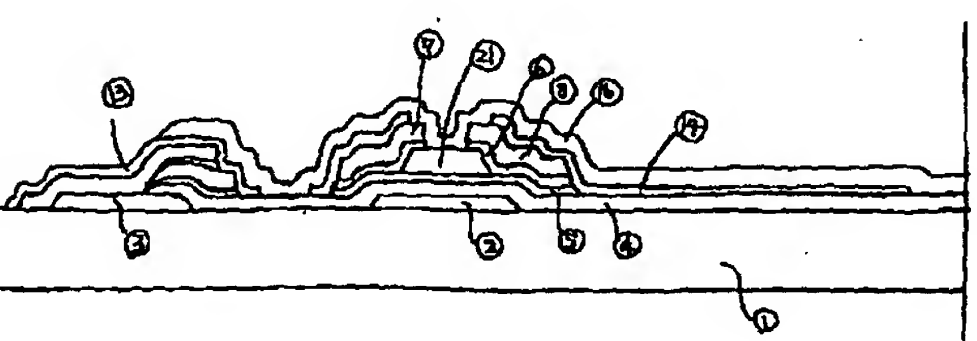
【図22】



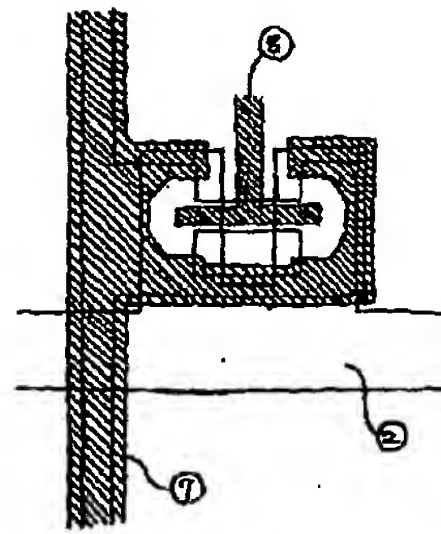
【図23】



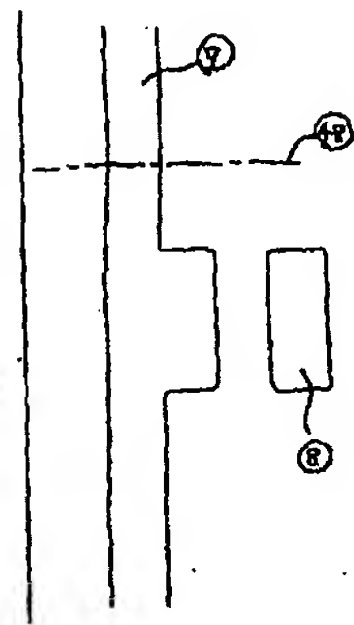
【図24】



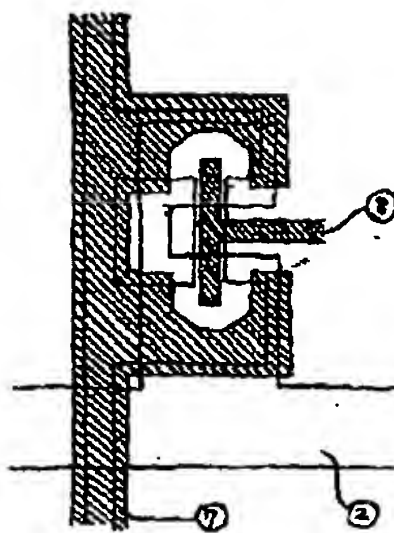
【図33】



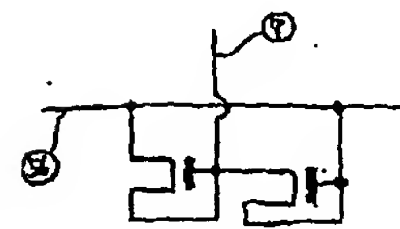
【図39】



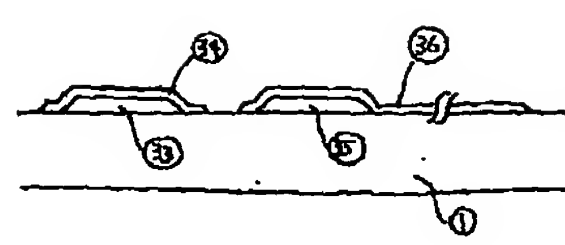
【図34】



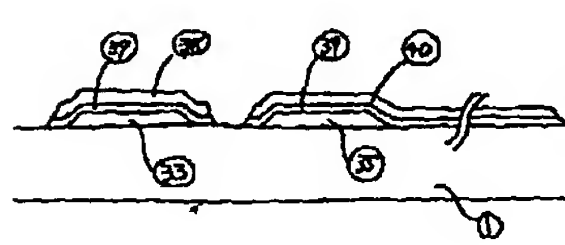
【図48】



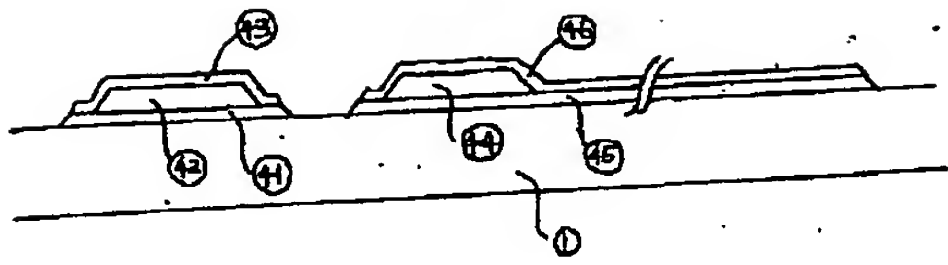
【図36】



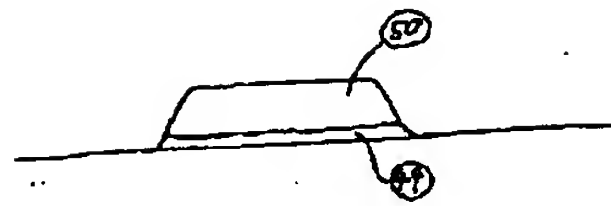
【図37】



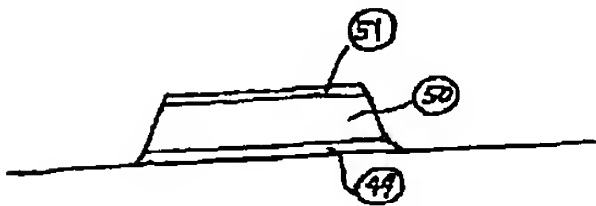
【図38】



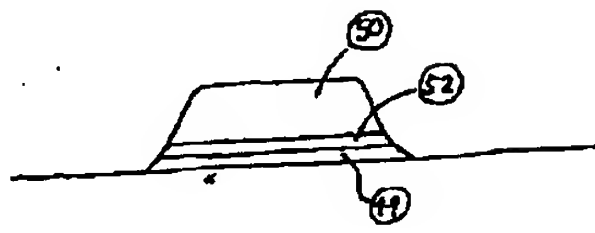
【図40】



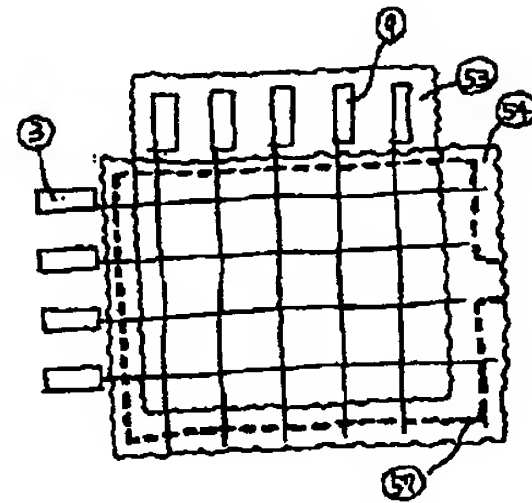
【図41】



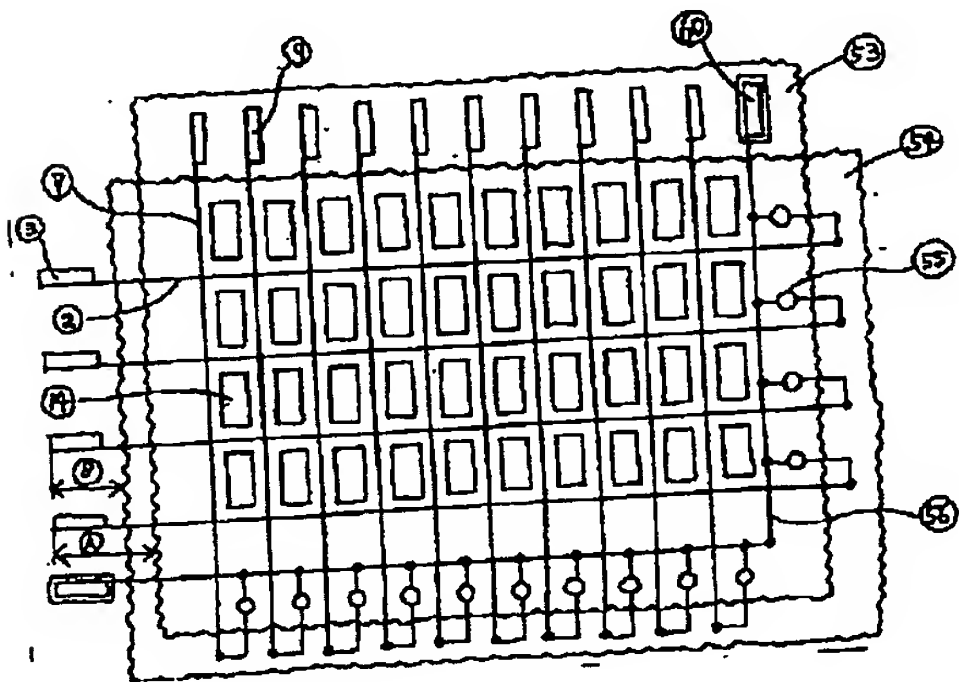
【図42】



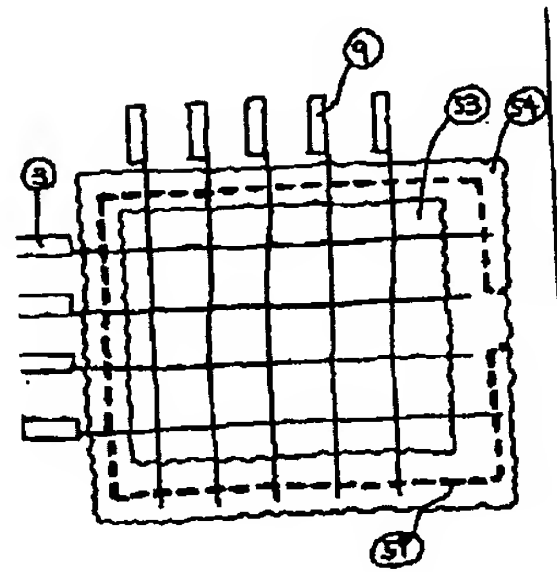
【図46】



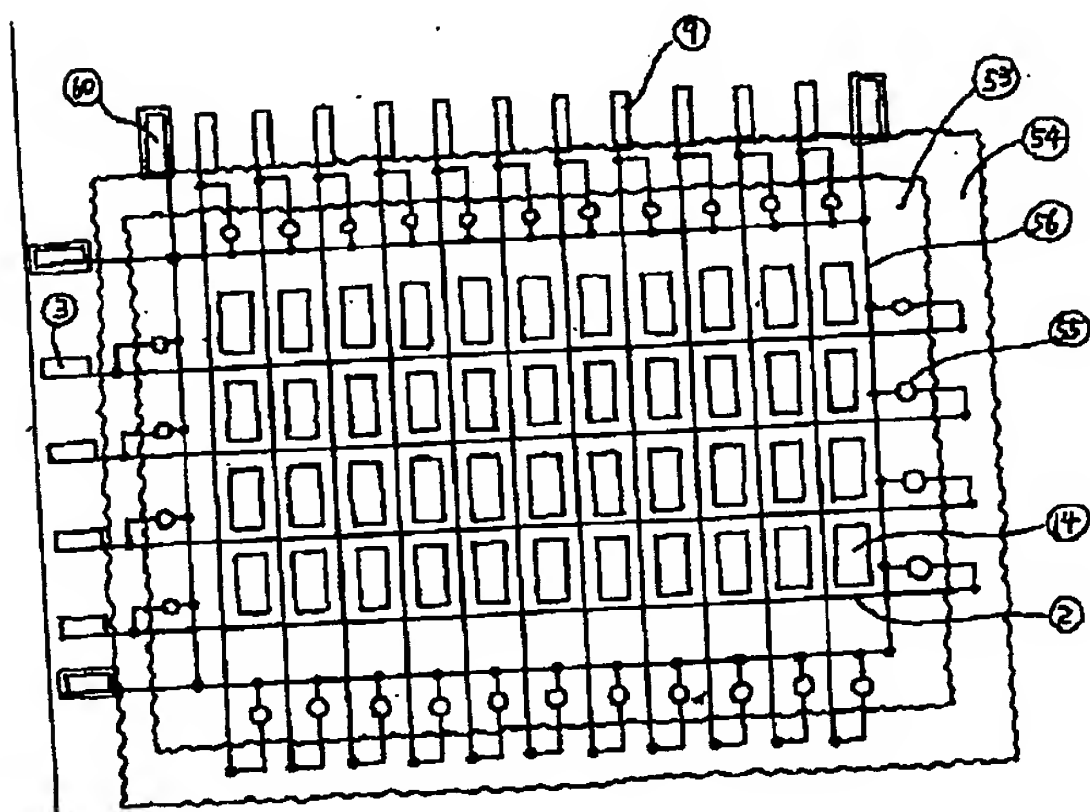
【図43】



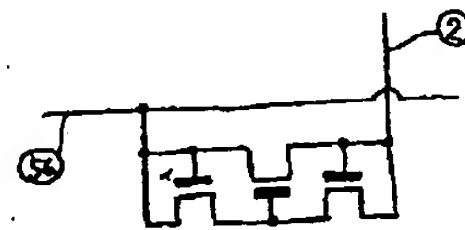
【図47】



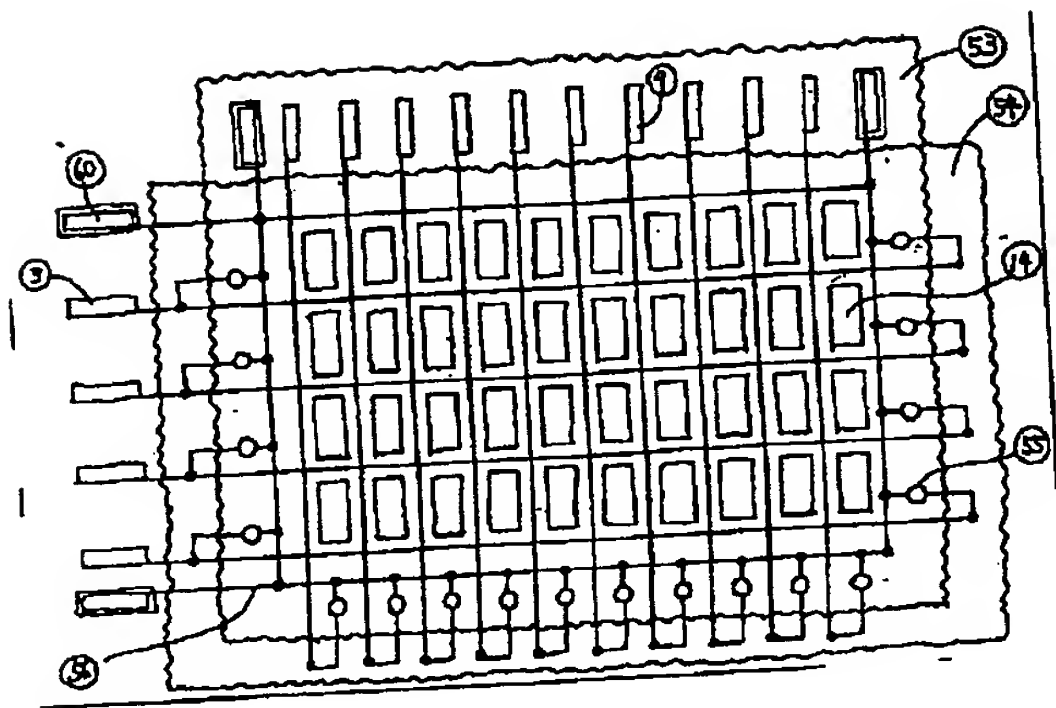
【図44】



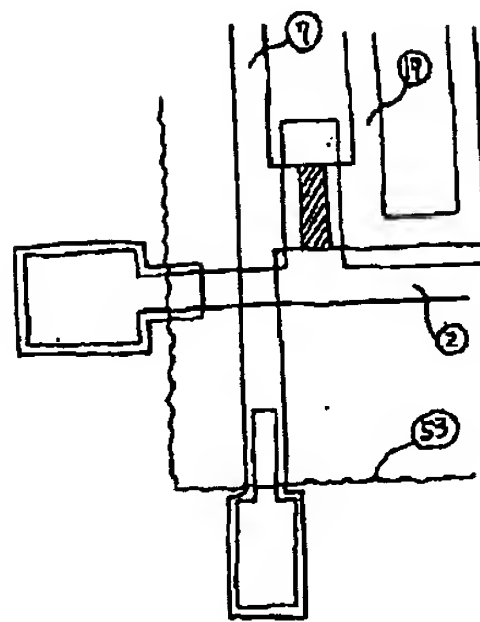
【図49】



【図45】

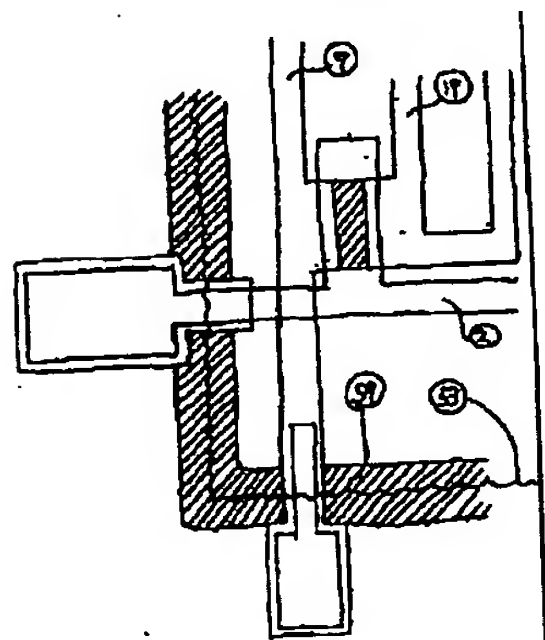


【図50】

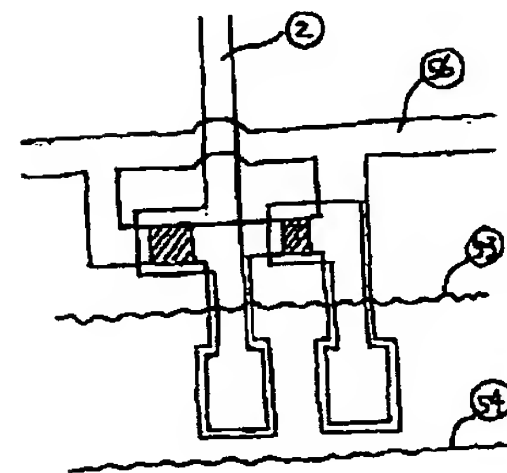
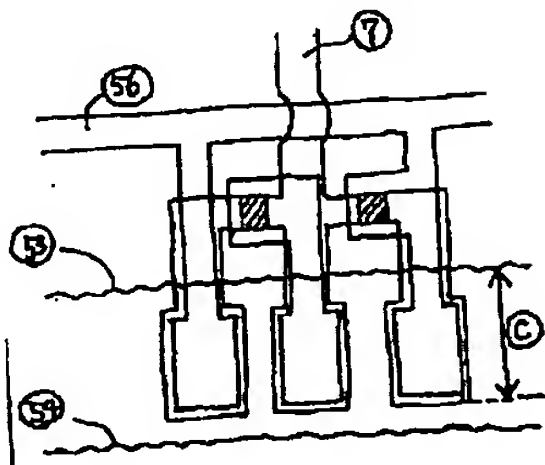


【図53】

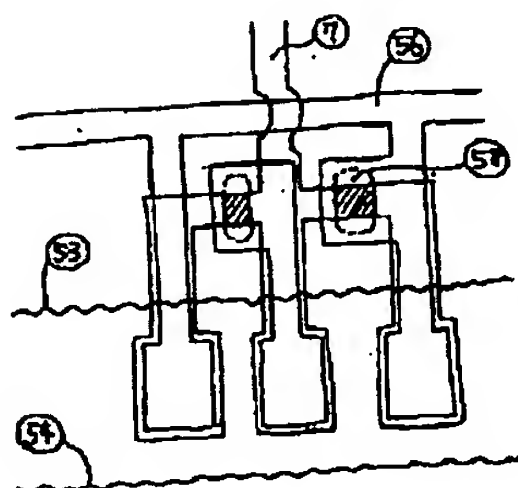
【図51】



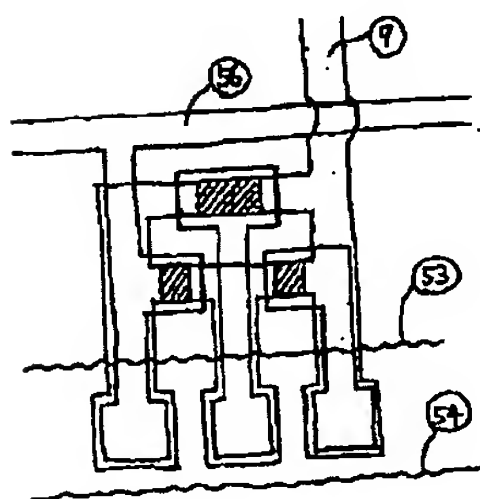
【図52】



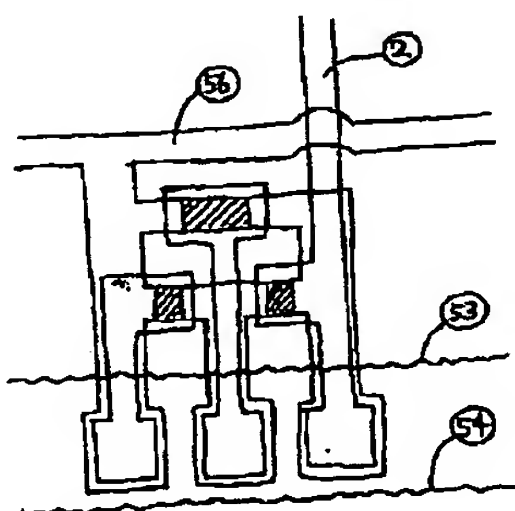
【図58】



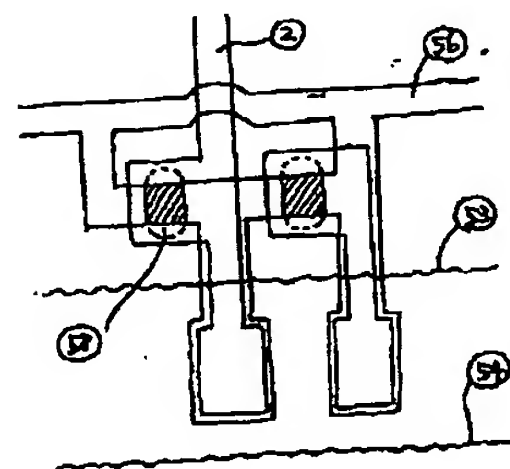
【図54】



【図55】

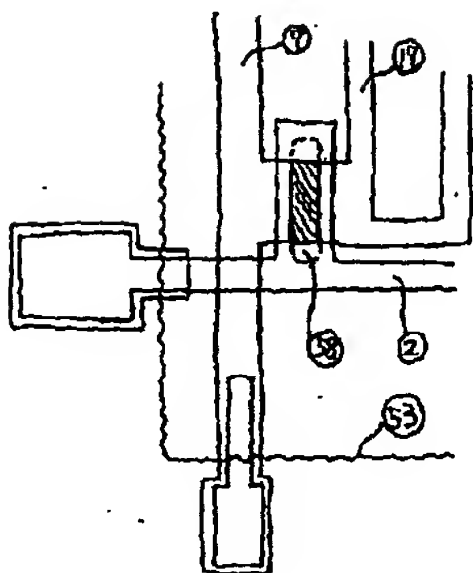


【図59】

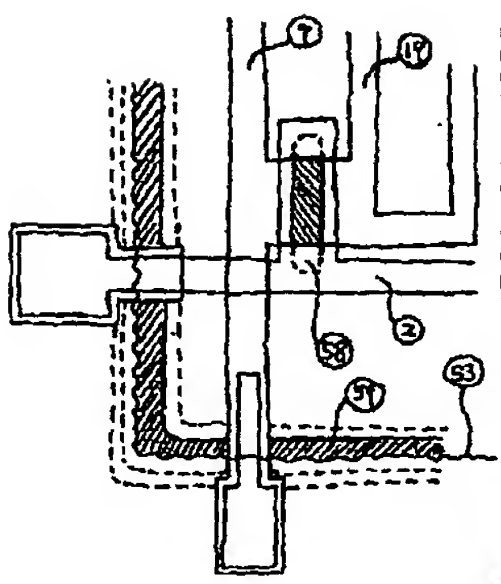




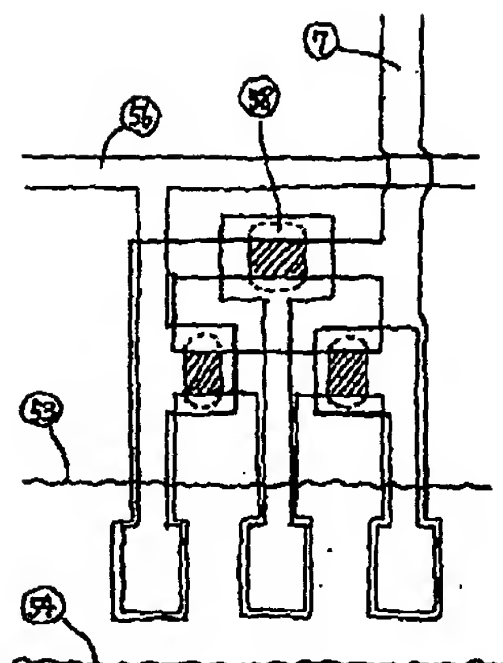
【図56】



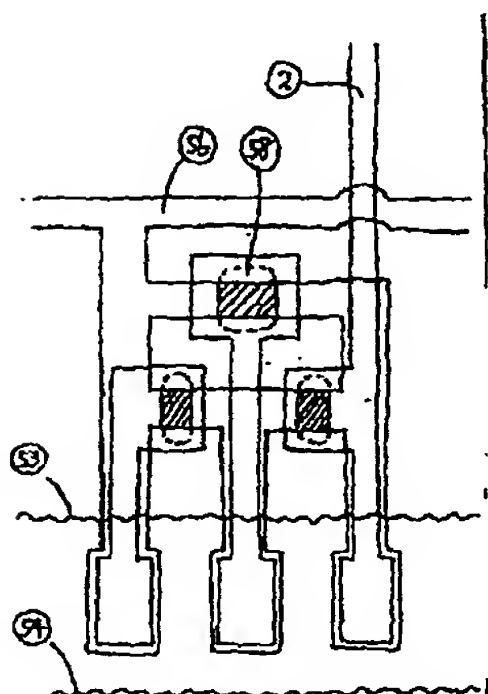
【図57】



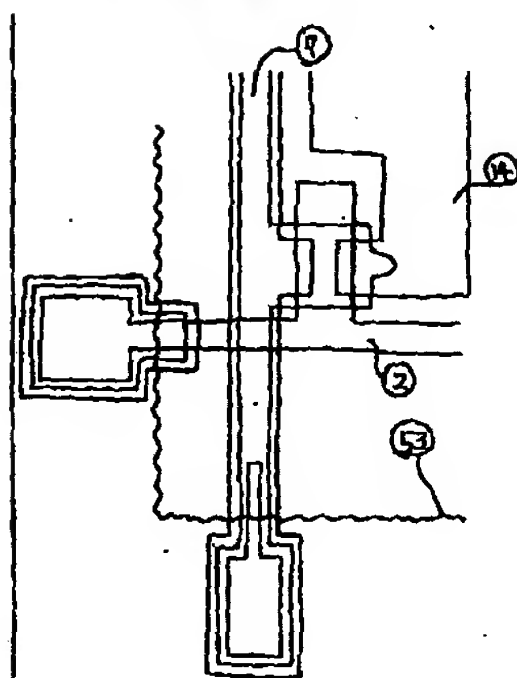
【図60】



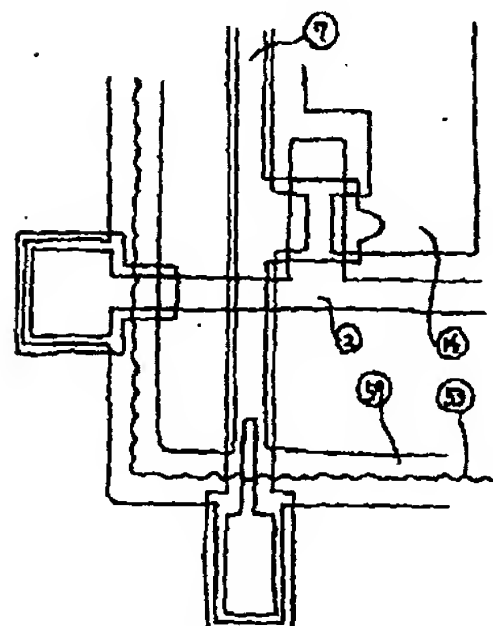
【図61】



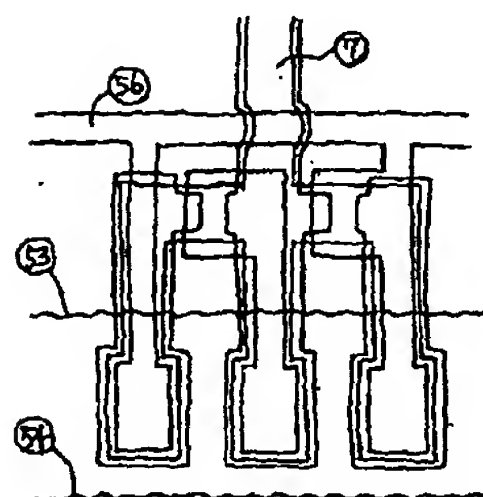
【図62】



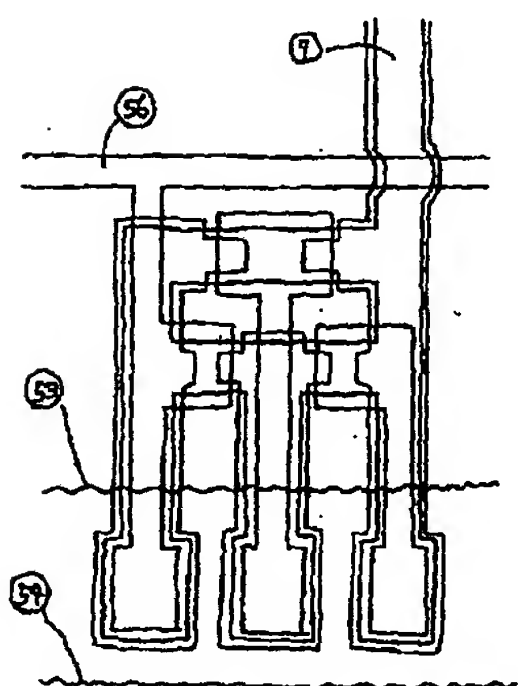
【図63】



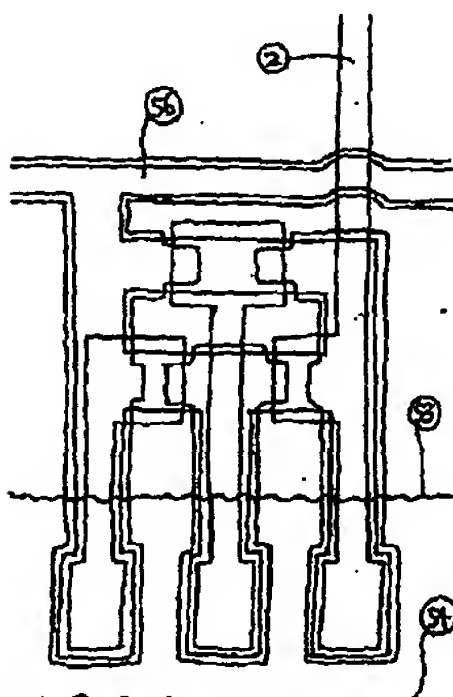
【図66】



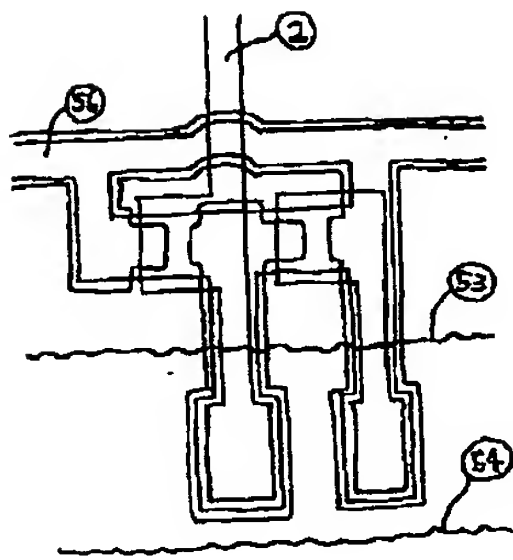
【図64】



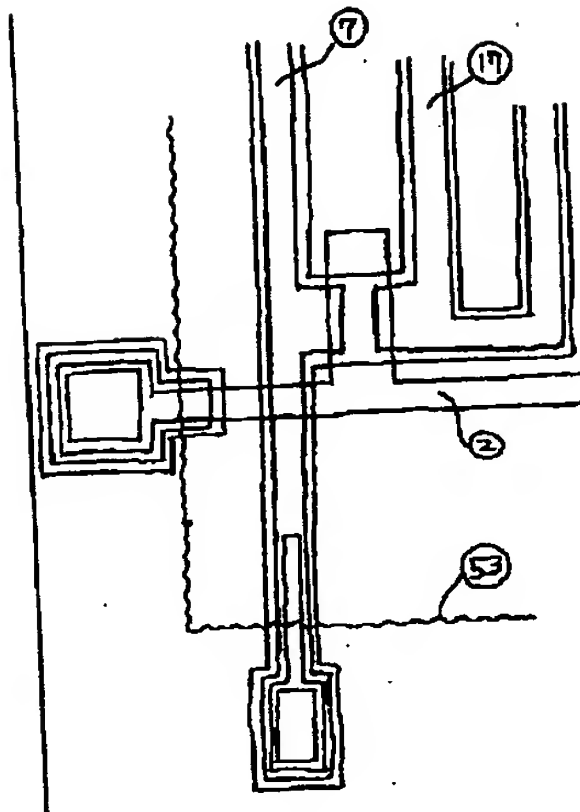
【図65】



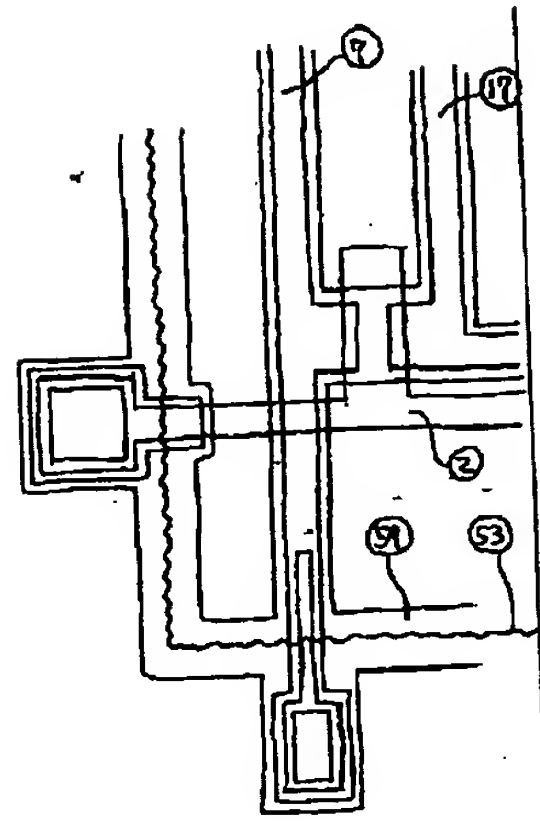
【図 67】



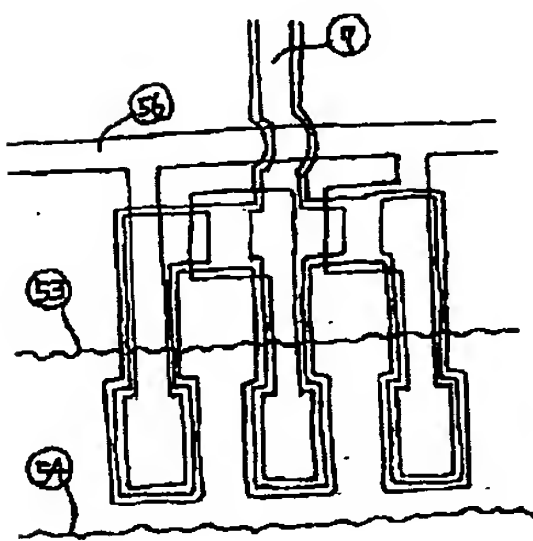
【図 68】



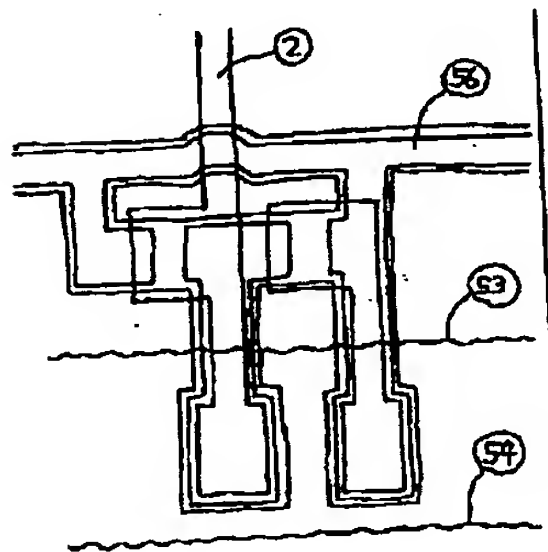
【図 69】



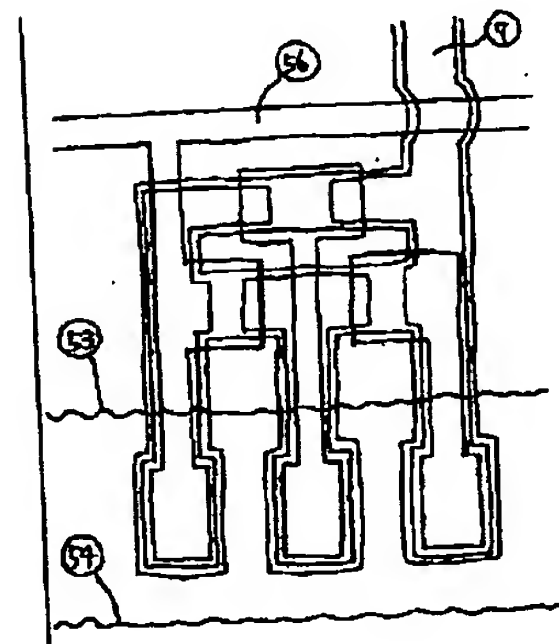
【図 70】



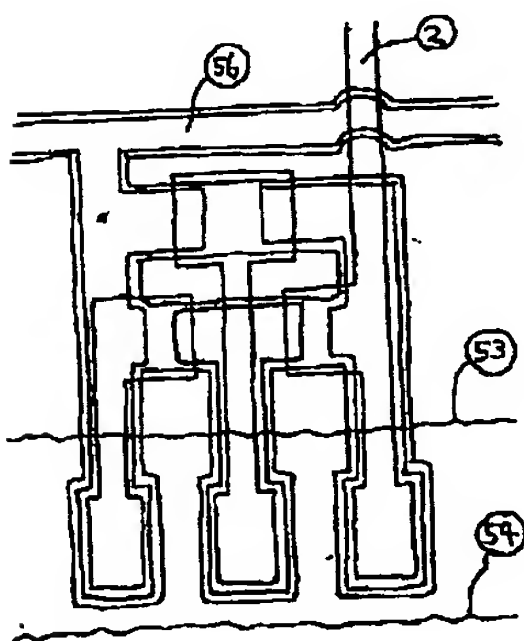
【図 71】



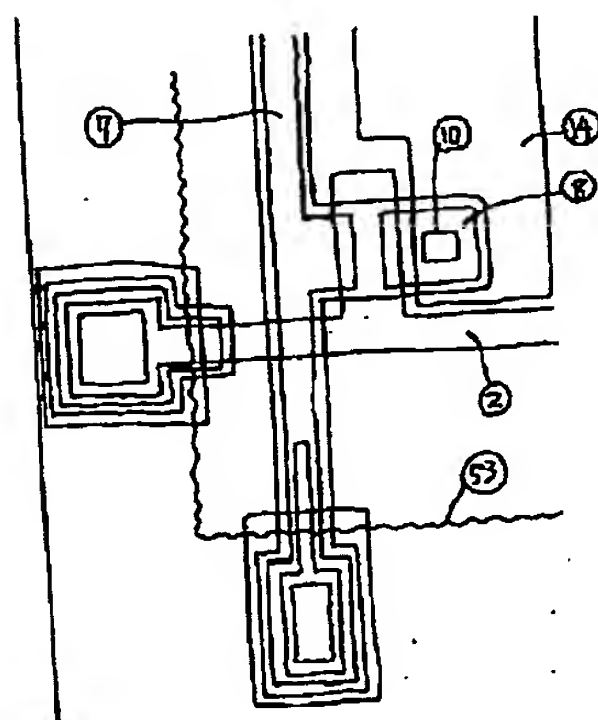
【図 72】



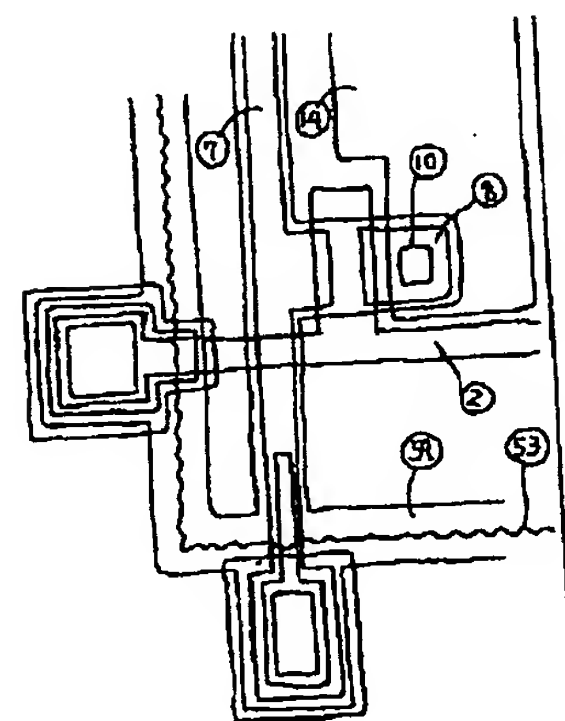
【図 73】



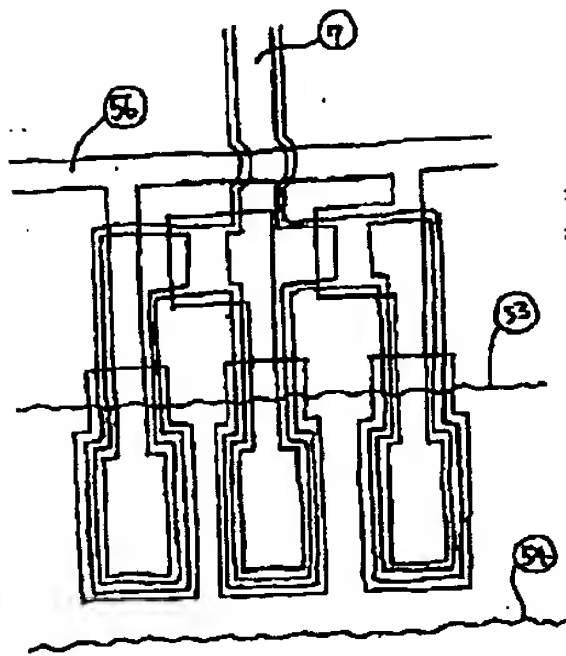
【図 74】



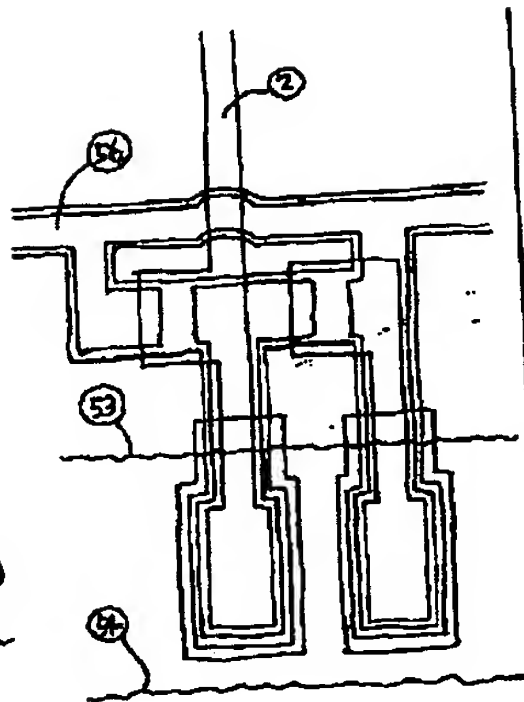
【図 75】



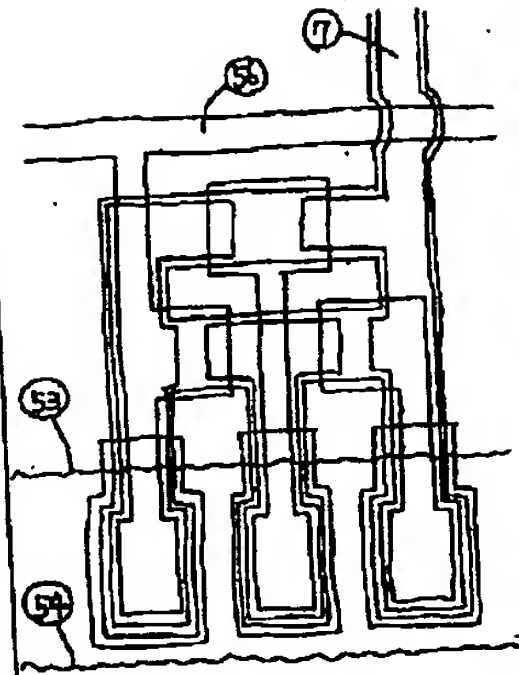
【図76】



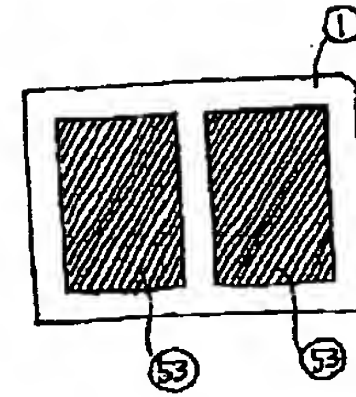
【図77】



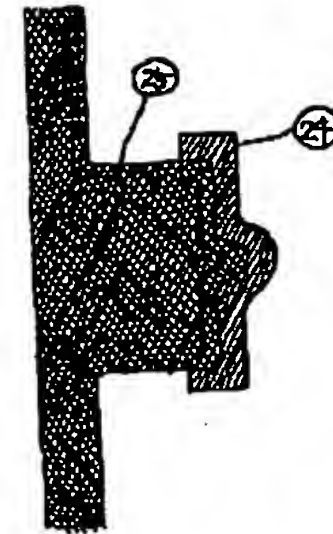
【図78】



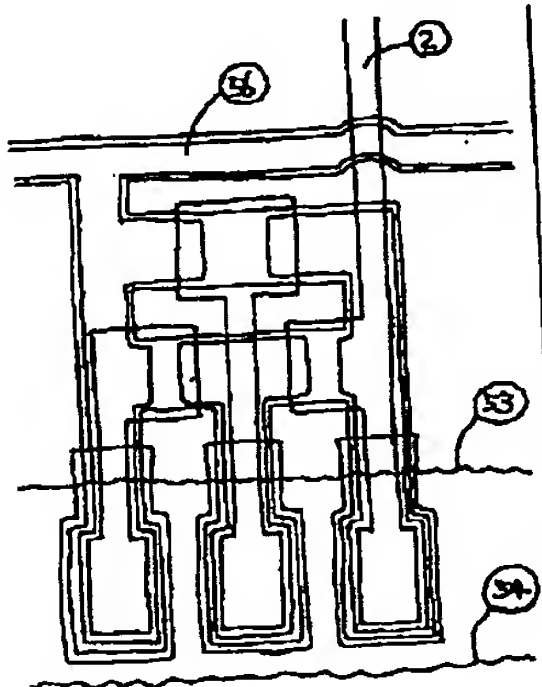
【図92】



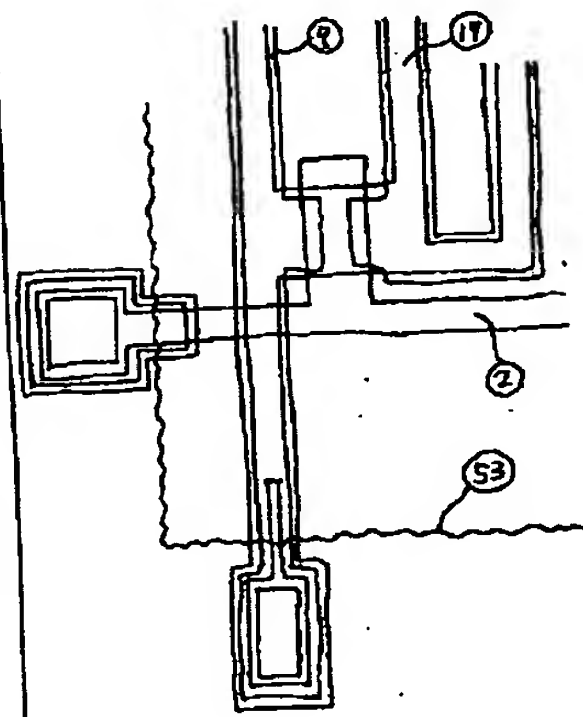
【図95】



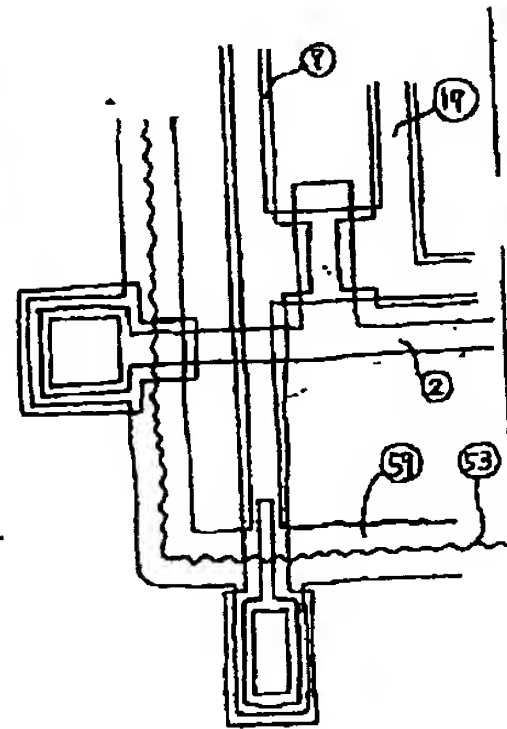
【図79】



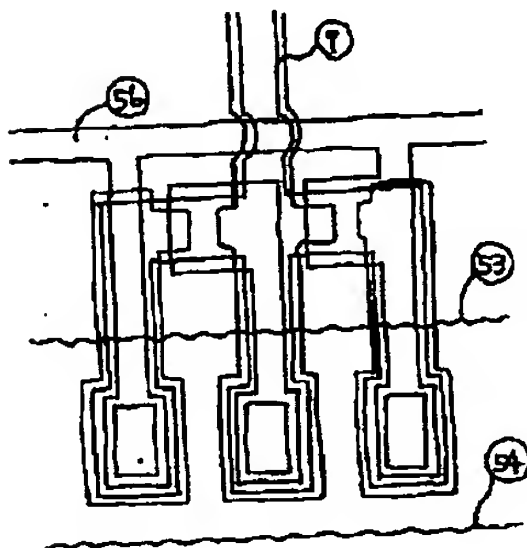
【図80】



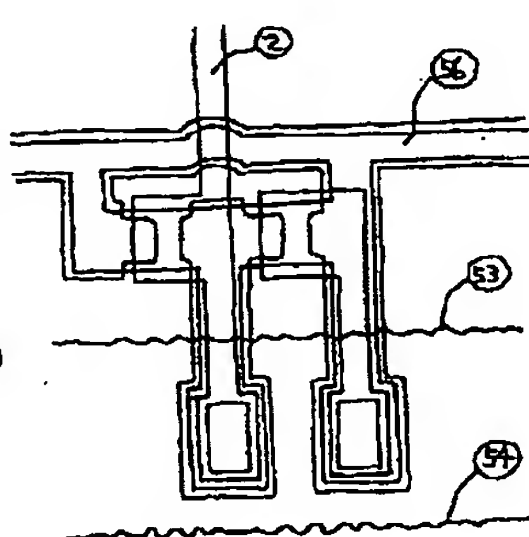
【図81】



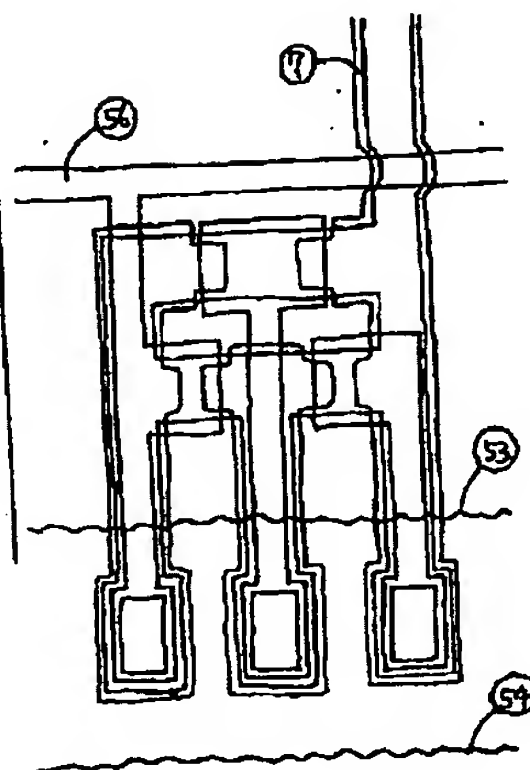
【図82】



【図83】

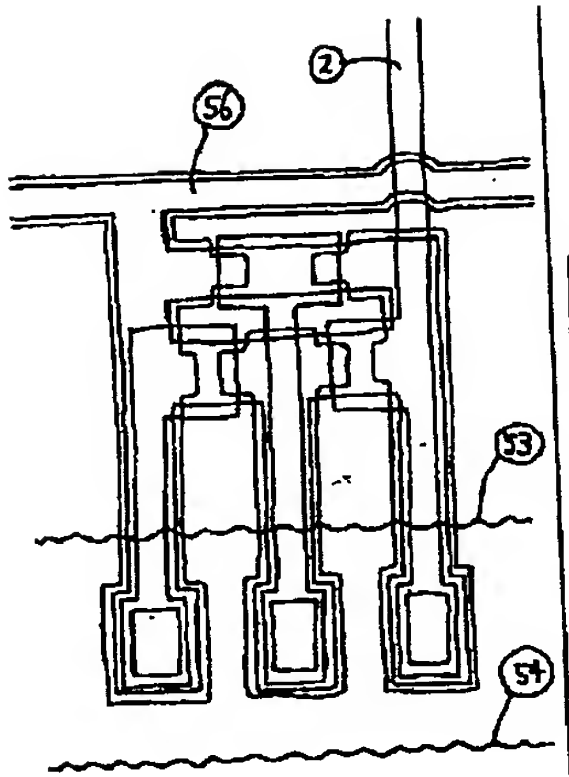


【図84】

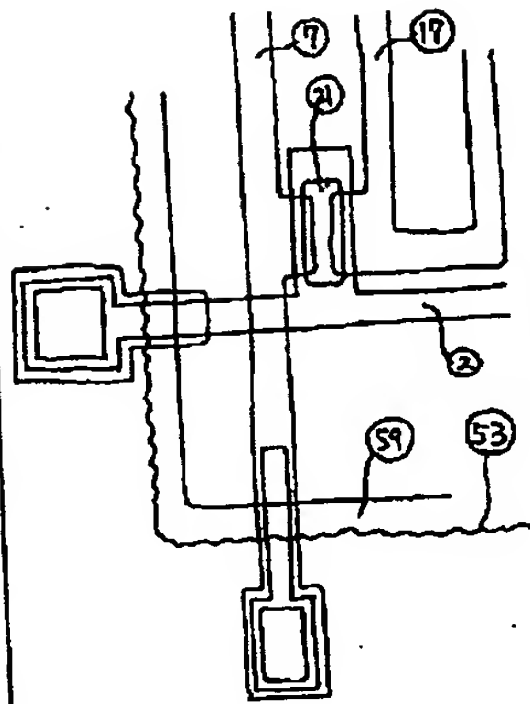




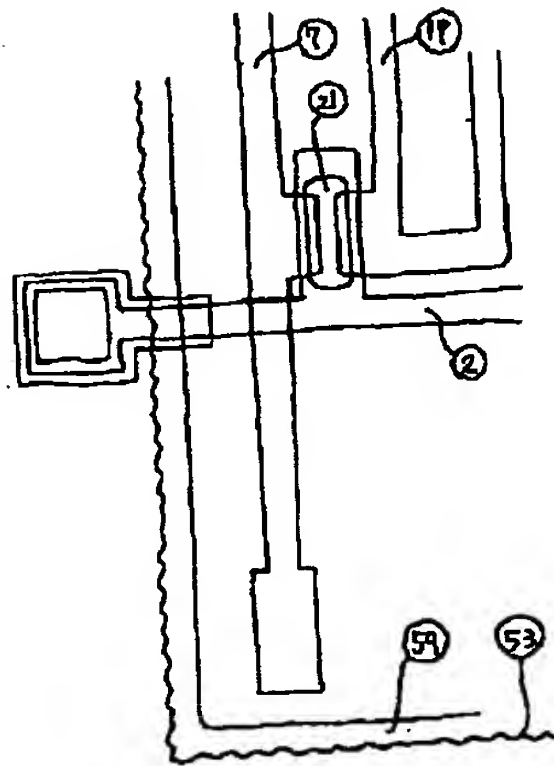
【図85】



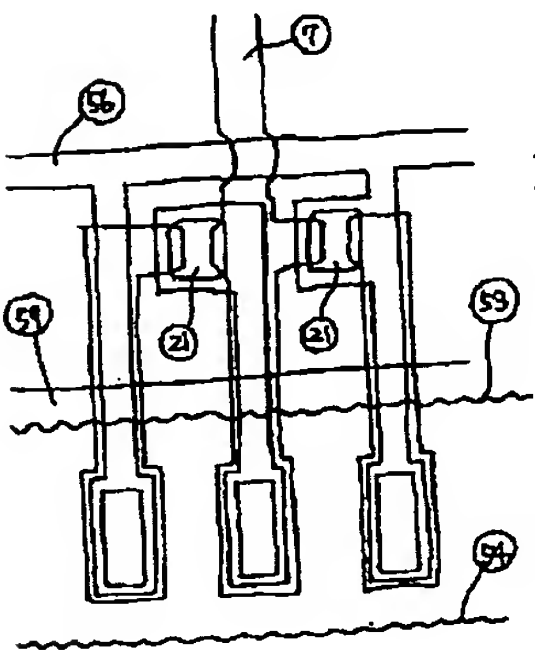
【図86】



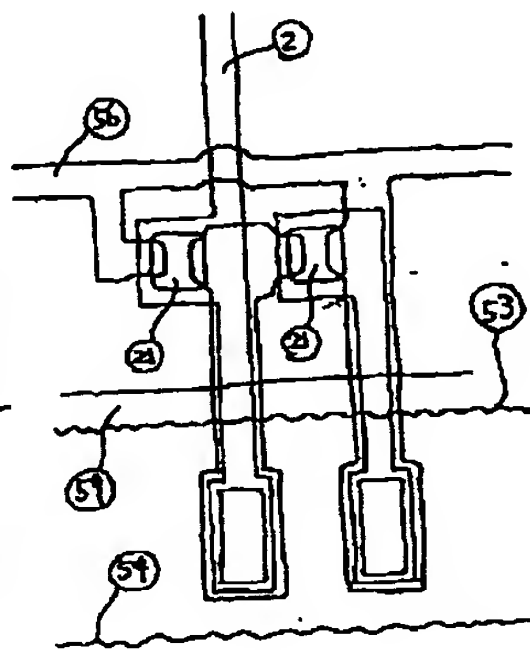
【図87】



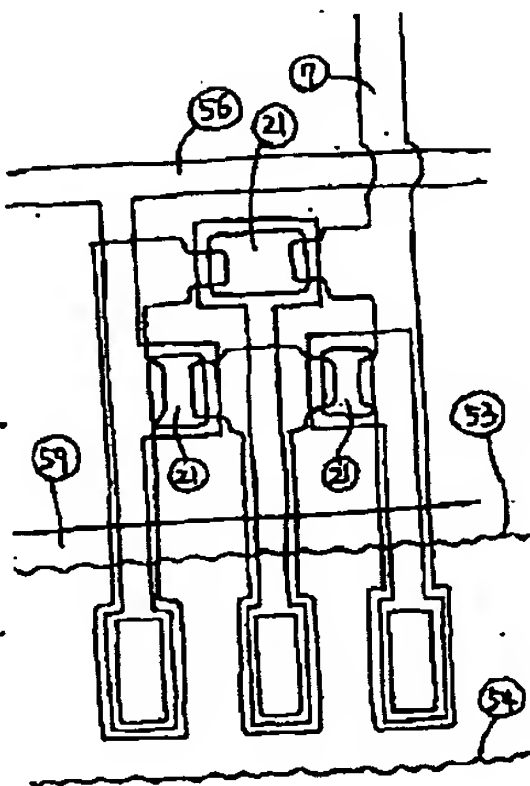
【図88】



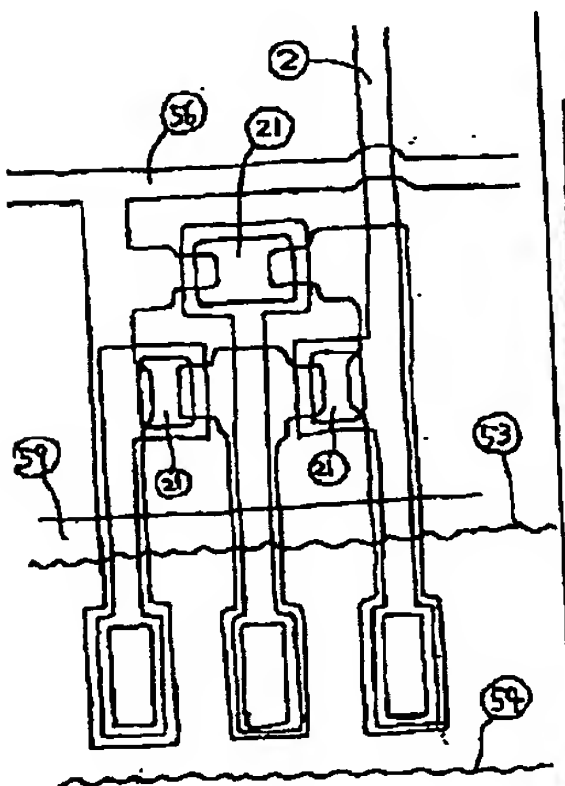
【図89】



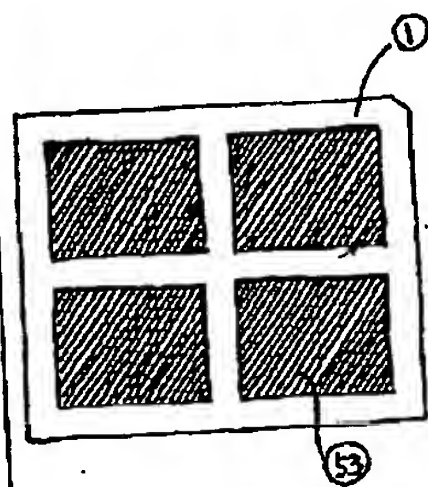
【図90】



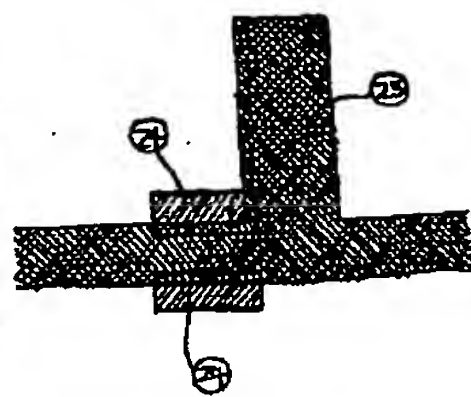
【図91】



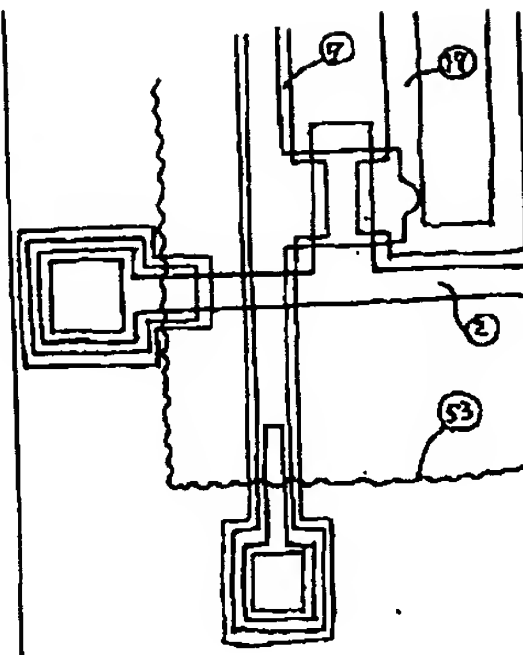
【図93】



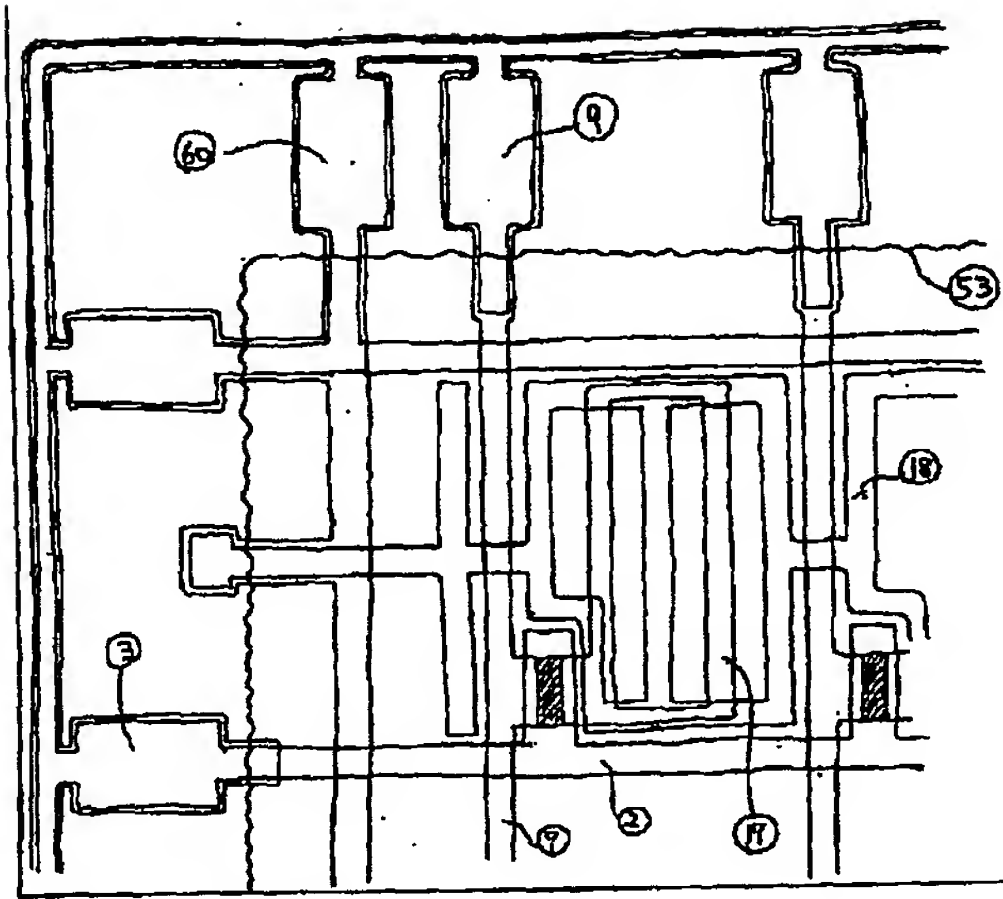
【図94】



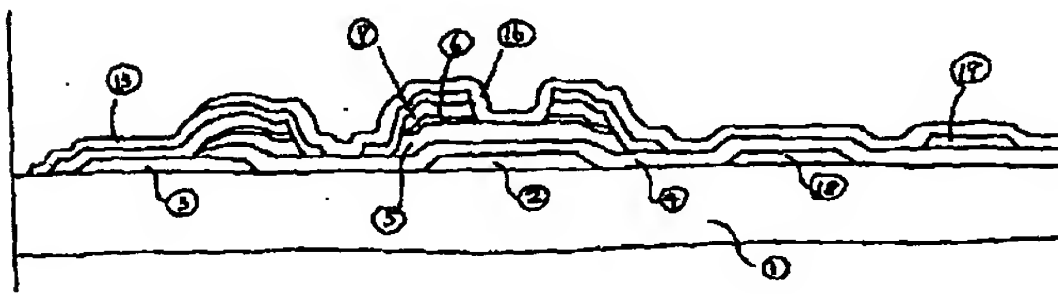
【図106】



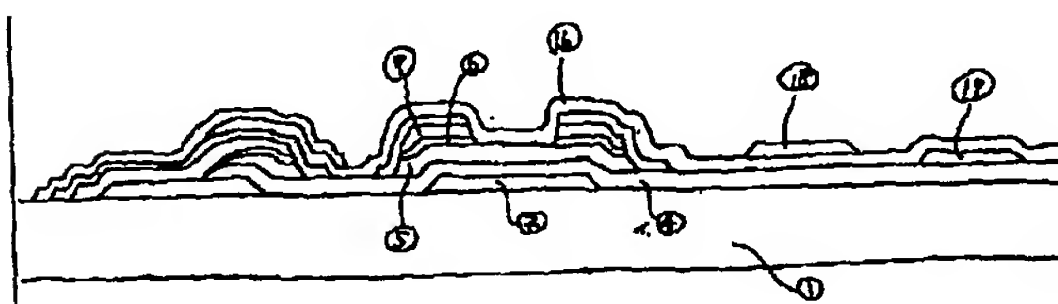
【図96】



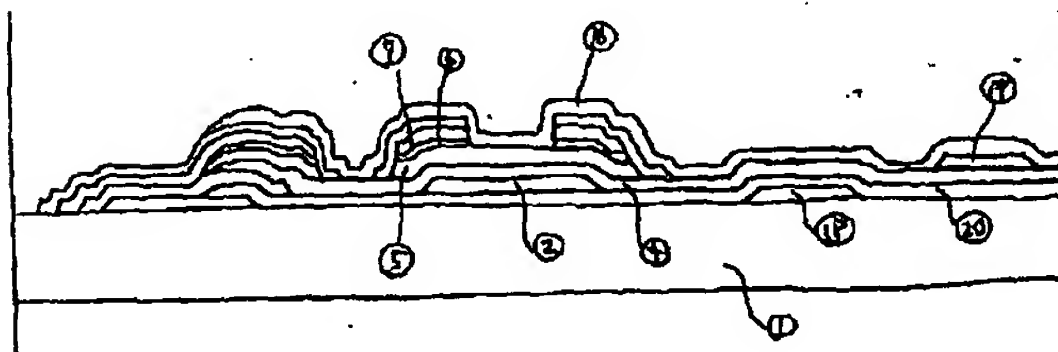
【図97】



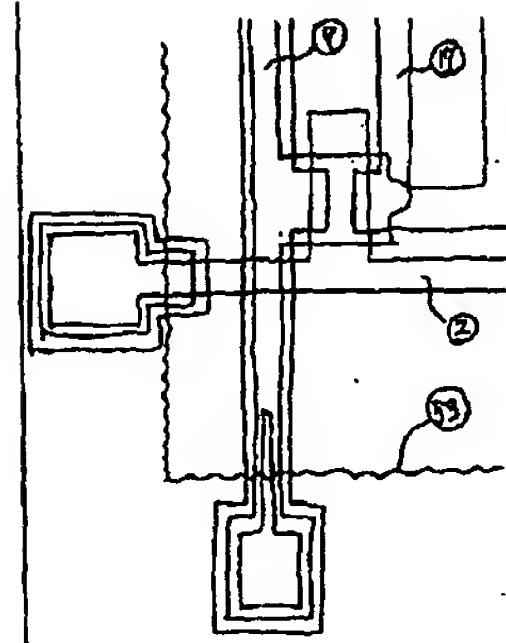
【図98】



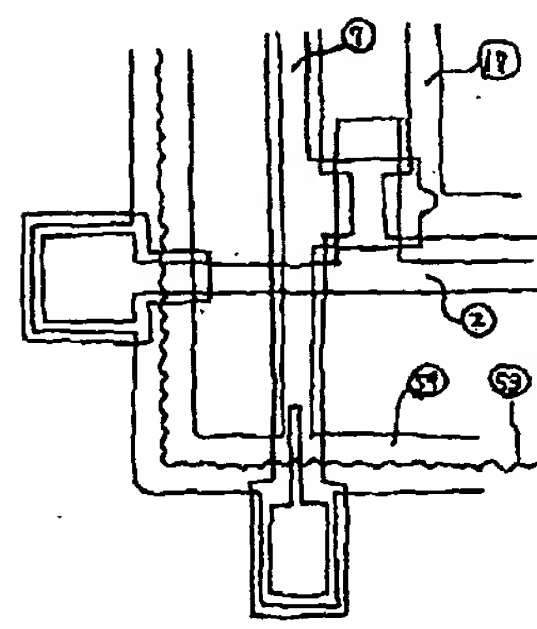
【図99】



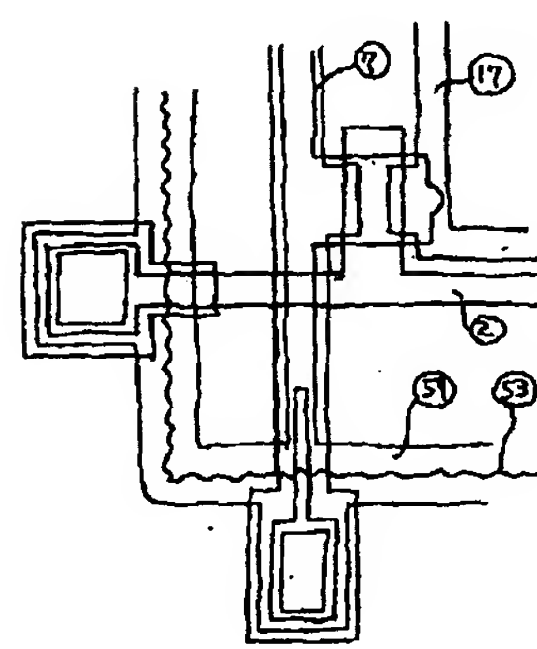
【図100】



【図101】



【図107】







フロントページの続き

Fターム(参考) 2H092 GA12 GA17 JA24 JA28 JA36  
KA04 KA10 KB24 MA08 MA13  
MA27 MA30 MA41 NA14 NA27  
NA29 QA07 QA13 QA14 QA18  
5C094 AA03 AA12 AA14 AA43 AA44  
BA03 BA43 CA19 DA15 EA04  
GB01  
5F110 AA16 AA22 AA26 BB01 CC07  
DD02 EE23 GG02 GG15 HK02  
HK09 HK16 HK33 HL03 HL04  
HL05 HM19 NN02